

W1089

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-157959  
 (43)Date of publication of application : 31.05.2002

(51)Int.CI. H01J 9/24  
 H01J 31/12

(21)Application number : 2001-261910 (71)Applicant : CANON INC  
 (22)Date of filing : 30.08.2001 (72)Inventor : ITO YASUHIRO  
 FUSHIMI MASAHIRO

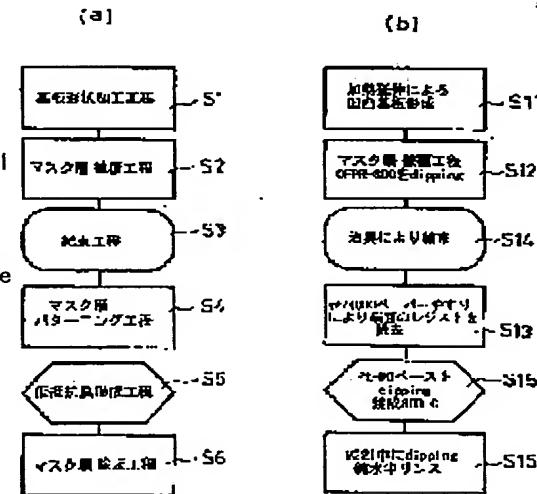
(30)Priority  
 Priority number : 2000273708 Priority date : 08.09.2000 Priority country : JP

## (54) METHOD OF MANUFACTURING SPACER AND METHOD OF MANUFACTURING IMAGE FORMING DEVICE USING THIS SPACER

## (57)Abstract:

PROBLEM TO BE SOLVED: To efficiently and accurately form a coating film on spacer base bodies.

SOLUTION: In this manufacturing method of a spacer arranged between a first base board and a second base board provided with an electron emitting element, the manufacturing method has a process of forming the coating film in at least a part of at least one surface of the spacer. The process of forming the coating film includes; (1) a step of preparing a bundle body by bundling the plural spacer base bodies, and (2) a process of imparting a coating film material to the bundle body. The bundle body to which the coating film material is imparted has a mask for covering at least a coating film unformed part in the vicinity of a coating film forming part in the respective plural spacer base bodies for constituting the bundle body.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

W1089

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-157959  
(P2002-157959A)

(43)公開日 平成14年5月31日 (2002.5.31)

(51) Int.Cl. H 01 J 9/24 31/12	識別記号 F I H 01 J 9/24 31/12	テ-マコード(参考) A 5 C 0 1 2 C 5 C 0 3 6
--------------------------------------	-------------------------------------	--

審査請求 未請求 請求項の数19 O.L (全 32 頁)

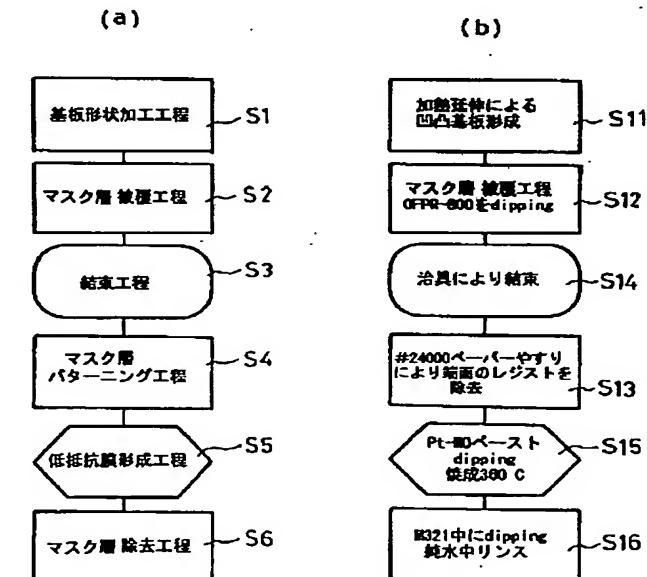
(21)出願番号 特願2001-261910(P2001-261910)	(71)出願人 000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日 平成13年8月30日 (2001.8.30)	(72)発明者 伊藤 靖浩 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(31)優先権主張番号 特願2000-273708(P2000-273708)	(72)発明者 伏見 正弘 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(32)優先日 平成12年9月8日 (2000.9.8)	(74)代理人 100065385 弁理士 山下 穏平
(33)優先権主張国 日本 (JP)	F ターム(参考) 50012 AA05 BB07 50036 EE09 EE14 EF01 EF06 EF09 EG02 EH21 EH26

(54)【発明の名称】スペーサの製造法およびこのスペーサを用いた画像形成装置の製造方法

## (57)【要約】

【課題】スペーサ基体に効率よくかつ精度よく被膜を形成する。

【解決手段】第1の基板と、電子放出素子が配置された第2の基板との間に配置されるスペーサの製造方法であって、前記スペーサの、少なくとも一つの面の少なくとも一部に被膜を形成する工程を有しており、前記被膜を形成する工程が、1. スペーサ基体を複数束ねた束体を準備する工程と、2. 該束体に被膜材料を付与する工程と、を有しており、前記被膜材料を付与される束体は、該束体を構成する複数のスペーサ基体のそれぞれにおいて、被膜被形成部近傍の被膜非形成部を少なくとも覆うマスクを有していることを特徴とする。



## 【特許請求の範囲】

【請求項1】 第1の基板と、電子放出素子が配置された第2の基板との間に配置されるスペーサの製造方法であつて、

前記スペーサの、少なくとも一つの面の少なくとも一部に被膜を形成する工程を有しており、

前記被膜を形成する工程が、

1. スペーサ基体を複数束ねた束体を準備する工程と、
2. 該束体に被膜材料を付与する工程と、を有しております、

前記被膜材料を付与される束体は、該束体を構成する複数のスペーサ基体のそれぞれにおいて、被膜被形成部近傍の被膜非形成部を少なくとも覆うマスクを有していることを特徴とするスペーサの製造方法。

【請求項2】 前記マスクは、前記スペーサ基体において、他のスペーサ基体と相対する面に設けられる請求項1に記載のスペーサの製造方法。

【請求項3】 前記被膜被形成部は、前記スペーサが前記第1の基板もしくは前記スペーサよりも前記第1の基板側にある被当接部材、もしくは、第2の基板もしくは前記スペーサよりも前記第2の基板側にある被当接部材と当接する当接面に位置する請求項1もしくは請求項2に記載のスペーサの製造方法。

【請求項4】 前記被膜が低抵抗被膜である請求項1乃至請求項3のいずれかに記載のスペーサの製造方法。

【請求項5】 前記被膜のシート抵抗値が  $1 \times 10^7$  乗 [ $\Omega/\square$ ] 以下である請求項1乃至請求項4のいずれかに記載のスペーサの製造方法。

【請求項6】 前記被膜材料を付与する工程の後、前記マスクを除去する工程を有する請求項1乃至請求項5のいずれかに記載のスペーサの製造方法。

【請求項7】 前記被膜材料を付与する工程の前に、前記スペーサ基体に前記マスクを形成する工程を更に有する請求項1乃至請求項6のいずれかに記載のスペーサの製造方法。

【請求項8】 更に、前記被膜材料を付与する工程の前に、前記被膜被形成部に形成されたマスクを除去する工程を有しており、該マスクを除去する工程の前の前記スペーサ基体には、前記被膜被形成部にもマスクが形成されている請求項1乃至請求項7のいずれかに記載のスペーサの製造方法。

【請求項9】 前記被膜材料を付与する工程の前に行う前記マスクを除去する工程は、前記束体を準備した後に行う請求項1乃至請求項8のいずれかに記載のスペーサの製造方法。

【請求項10】 前記被膜材料を付与する工程の前に行う前記マスクを除去する工程は、前記束体を構成する前の複数のスペーサ基体それぞれに対して行う請求項1乃至請求項8のいずれかに記載のスペーサの製造方法。

【請求項11】 前記被膜材料を付与する工程の前に行

う前記マスクを除去する工程は、物理的削除によりマスクを除去するものである請求項9もしくは請求項10に記載のスペーサの製造方法。

【請求項12】 前記被膜材料を付与する工程の前に行う前記マスクを除去する工程は、やすり処理もしくはブラスト処理によりマスクを除去するものである請求項11に記載のスペーサの製造方法。

【請求項13】 前記束体を準備する工程は、該束体を構成する複数のスペーサ基体それぞれの被膜被形成部が略同一平面内に位置するように行う請求項1乃至請求項9のいずれかに記載のスペーサの製造方法。

【請求項14】 前記付与した被膜材料を加熱する工程を更に有する請求項1乃至請求項13のいずれかに記載のスペーサの製造方法。

【請求項15】 前記被膜材料の付与は、液体の状態の被膜材料の付与である請求項1乃至請求項14のいずれかに記載のスペーサの製造方法。

【請求項16】 前記被膜材料の付与は、ディッピング法により行う請求項15に記載のスペーサの製造方法。

【請求項17】 前記スペーサ基体は、表面に凹凸を有するものである請求項1乃至請求項16のいずれかに記載のスペーサの製造方法。

【請求項18】 前記スペーサ基体が柱状構造を有する請求項1乃至請求項17のいずれかに記載のスペーサの製造方法。

【請求項19】 電子の照射により画像を形成する画像形成部材が配置された第1の基板と、電子放出素子が配置された第2の基板と、前記第1の基板及び前記第2の基板との間に配置されるスペーサを有する画像形成装置の製造方法であつて、請求項1乃至請求項18のいずれかに記載のスペーサの製造方法によって製造されたスペーサを用いて画像形成装置を構成することを特徴とする画像形成装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、一对の基板間に配置されるスペーサの製造方法およびこのスペーサを用いた画像形成装置の製造方法に関するものである。

## 【0002】

【従来の技術】 従来から、電子放出素子として熱陰極素子および冷陰極素子の2種類の素子が知られている。この内、冷陰極素子では、例えば、表面伝導型放出素子や電界放出型素子（以下、F E型と記す）および金属／絶縁層／金属型放出素子（以下、M I M型と記す）などが知られている。

【0003】 表面伝導型放出素子としては、例えば、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290, (1965) や、後述する他の例が知られている。

【0004】 表面伝導型放出素子は、基板上に形成された小面積の薄膜に対して、その膜面に平行に電流を流す

ことにより、電子放出が生ずる現象を利用するものである。この表面伝導型放出素子としては、前記エリンソンなどによる  $\text{SnO}_2$  薄膜を用いたものの他に、Au薄膜によるもの [G. Dittmer: "Thin Solid Films", 9, 317 (1972)] や、 $\text{In}_2\text{O}_3/\text{SnO}_2$  薄膜によるもの [M. Hartwell and C. G. Fonstad: "IEEETrans. EDConf.", 519 (1975)] 及び、カーボン薄膜によるもの [荒木久他: 真空、第26巻、第1号、22 (1983)] などが報告されている。

【0005】これらの表面伝導型放出素子の素子構成の典型的な例として、図33(平面)に前述のM. Hartwellらによる素子が示されている。ここで、301は基板で、304はスパッタで形成された金属酸化物よりなる導電性薄膜である。この導電性薄膜304は、平面視でH字形に形成されていて、この導電性薄膜304に後述の通電フォーミングと呼ばれる処理を施すことにより、電子放出部305が形成される。なお、図中の間隔:Lは0.5~1mm、幅:Wは0.1mmに設定されている。また、便宜上、ここでは電子放出部305は、導電性薄膜304の中央に矩形の形状で示したが、これは模式的なものであり、実際の電子放出部の位置や形状を忠実に表現している訳ではない。

【0006】M. Hartwellらによる素子をはじめとして、上述の表面伝導型放出素子においては、電子放出を行う前に、導電性薄膜304に通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部305を形成するのが一般的であった。即ち、通電フォーミングとは、導電性薄膜304の両端に一定の直流電圧もしくは、例えば、1V/分程度の非常にゆっくりとしたレートで昇圧する直流電圧を印加し、導電性薄膜304を局所的に破壊変形もしくは変質させて、高抵抗の電子放出部305を形成することである。なお、局所的に破壊変形もしくは変質した導電性薄膜304の一部には亀裂が発生する。この通電フォーミング後に、導電性薄膜304に適宜の電圧を印加した場合には、亀裂の付近において電子が放出される。

【0007】FE型の例としては、例えば、W. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956)、あるいは、C. A. Spindt, "Physical properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976)などが知られている。

【0008】このFE型の素子構成の典型的な例として、図34の断面図に前述のC. A. Spindtらによる素子が示されている。ここで、310は基板で、311は導電材料よりなるエミッタ配線、312はエミッタコーン、313は絶縁層、314はゲート電極である。このFE型の素子は、エミッタコーン312とゲート電極314の間に適宜の電圧を印加することにより、エミッタコーン312の先端部より電子を放出せるものであ

る。

【0009】また、FE型の他の素子構成として、図34に示すような積層構造ではなく、基板上にその基板平面とほぼ平行にエミッタとゲート電極を配置した例もある。

【0010】また、MIM型の例としては、例えば、C. A. Mead, "Operation of tunnel-emission Devices", J. Appl. Phys., 32, 646 (1961)などが知られている。

【0011】MIM型の素子構成の典型的な例を図35の断面図に示す。ここで、320は基板で、321は金属よりなる下電極、322は厚さ:100オングストローム程度の薄い絶縁層、323は厚さ:80~300オングストローム程度の金属よりなる上電極である。MIM型の素子は、上電極323と下電極321の間に適宜の電圧を印加することにより、上電極323の表面より電子を放出せるものである。

【0012】上述の冷陰極素子は、熱陰極素子と比較して低温で電子を放出させることができるために、加熱用ヒータを必要としない。従って、熱陰極素子よりも構造が単純であり、微細な素子を作成することが可能である。また、基板上に多数の素子を高い密度で配置しても、基板の熱溶融などの問題が発生しにくい。また、冷陰極素子の場合には応答速度が速いという利点もある(因みに、熱陰極素子はヒータの加熱により動作するため、応答速度が遅い)。

【0013】このため、冷陰極素子を応用するための研究が盛んに行われてきている。例えば、表面伝導型放出素子は、冷陰極素子のなかでも特に構造が単純で製造も容易であることから、広い面積にわたって多数の素子を形成できる利点がある。そこで、例えば、本願出願人に係わる特開昭64-31332号公報において開示されるように、多数の素子を配列して駆動するための方法が研究されている。

【0014】また、表面伝導型放出素子の応用については、例えば、画像表示装置(ディスプレイ)や画像記録装置などの、所謂、画像形成装置及び荷電ビーム源などが研究されている。特に、画像表示装置への応用としては、例えば、本願出願人に係わる米国特許5,066,883号や特開平2-257551号公報及び特開平4-28137号公報において開示されているように、表面伝導型放出素子と電子の衝突により発光する蛍光体とを組み合わせた構成の画像表示装置が研究されている。

【0015】この表面伝導型放出素子と蛍光体とを組み合わせた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。例えば、液晶表示装置と比較しても、自発光型であるためバックライトを必要としない点や視野角が広い点が優れている。

【0016】また、FE型を多数個ならべて駆動する方法は、例えば、本願出願人に係わる米国特許4,904,895号に開示されている。また、FE型を画像表

示装置に応用した例として、例えば、R. Mayerらにより報告された平板型の画像表示装置が知られている [R. Meyer : "Recent Development on Microtips Display at LETI", Tech. Digest of 4<sup>th</sup> Int. Vacuum Microelectronics Conf., Nagahama, pp. 6~9 (1991)]。

【0017】また、MIM型を多数個並べて画像表示装置に応用した例は、例えば、本願出願人に係わる特開平3-55738号公報に開示されている。

【0018】上記のような電子放出素子を用いた画像形成装置のなかで、奥行きの浅い平面型画像表示装置は、省スペースかつ軽量であることから、ブラウン管型の画像表示装置に置き換わるものとして注目されている。

【0019】そして、このような電子放出素子をマトリクス状に配設した電子源を気密容器内に収容した平面型の画像表示装置（フラットパネルディスプレイ）が提案されている。この気密容器は、蛍光体が配置されたフェースプレートと電子源が配置されたリアプレートとを対向させ、周囲をシールすることで構成される。

【0020】なお、気密容器の内部は10のマイナス4乗[Pa]程度の真空に保持される。したがって、この画像表示装置の表示面積が広くなるに従って、この気密容器内部と外部との気圧差による、リアプレート及びフェースプレートの変形あるいは破壊を防止するための手段が必要となる。そこで従来は、比較的薄いガラス板からなる大気圧に耐えるための支持体（スペーサあるいはリブと呼ばれる）が、前述のリアプレートとフェースプレートとの間に設けられている。

【0021】画像形成装置を構成する一対の基板間に配するスペーサの製造方法は、例えば、USP4923421、USP5063327、USP5205770、USP5232549、USP5486126、USP5509840、USP5721050、EP-A-0725416、EP-A-0725417、EP-A-0725418、EP-A-0725419などに開示されている。

【0022】

【発明が解決しようとする課題】しかしながら、以上説明したスペーサを用いた画像形成装置やフラットパネルディスプレイなどにおいては、以下のような問題があった。

【0023】第1に、スペーサ近傍の電子放出素子から放出された電子の一部がスペーサに当たることにより、あるいは放出された電子の作用でイオン化したイオンがスペーサに付着することにより、スペーサが帯電する可能性がある。すると、電子放出素子から放出された電子は、その軌道を曲げられ、フェースプレートに設けられた蛍光体上の正規な位置とは異なる場所に到達し、スペーサ近傍の画像がゆがんで表示されてしまう。

【0024】第2に、電子放出素子から放出された電子を加速するために、リアプレートとフェースプレートとの間には数百V以上の高電圧：Va（例えば1kV/mm以上の高電界）が印加されるため、スペーサの表面での沿面放電が懸念される。特に、上記のようにスペーサが

帯電している場合は、放電が誘発される可能性がある。

【0025】これらの問題点を解決するために、スペーサに微小電流が流れるようにして、帯電を除去する提案がなされている（特開昭57-118355号公報、特開昭61-124031号公報）。そこでは、絶縁性のスペーサ基体の表面に高抵抗の被膜（以下、高抵抗膜と称す）を形成することにより、スペーサ基体の表面に微小電流が流れるようにしている。ここで用いられている高抵抗膜は、酸化スズ薄膜あるいは酸化スズと酸化インジウム混晶薄膜などの金属膜である。

【0026】しかし、画像の種類によっては、即ち、駆動パルス幅が大きく電子放出量が大きな場合は、高抵抗膜によって帯電を防ぐ方法だけでは、画像のゆがみの低減が不十分である場合がある。

【0027】これは、高抵抗膜と上下の基板、即ち、フェースプレートとリアプレートとの間の電気的接合が不十分であり、その接合部付近に接触抵抗を含めた抵抗値が不揃いの分布で発生し、その結果、スペーサの当接部近傍の電位が変動し、スペーサ沿面の電場勾配の直線性を低下させ、放出された電子の軌道が所望の位置からずれる結果となる。このような電子の軌道の不良は、電子の運動エネルギーが小さいことから、カソード側近傍で特に大きな影響を及ぼす。

【0028】この点を解決するために、図16に示すように、絶縁性のスペーサ基体21のフェースプレート17およびあるいはリアプレート11に当接する端面および側面に、前記高抵抗膜22よりも低抵抗膜（電極）（以下、単に低抵抗膜と表す）25を配置することが提案されている。これにより、上下の基板17、11と高抵抗膜22との電気的接触を確保することができる。図16には、上記構成の内、フェースプレート17およびリアプレート11と当接する端面（当接面）（以下、単に端面と表す）24に、低抵抗膜25を配置した例を示す。また、図16は、リアプレート11の平面に対して垂直方向の断面の内、スペーサを含む平面で切断した断面図である。

【0029】一方、高抵抗膜22を施さないで高電圧Vaを低く設定したり、絶縁性のスペーサ基体21の側面の形状を制御することにより、絶縁体が真空中に露出したスペーサにおいても、上述の2つの問題を抑制することができる。しかし、この場合においても、絶縁性のスペーサ基体21の端面の電位が定まっていない場合には、放出された電子の軌道を変動させる場合がある。そのため、図14に示すように、絶縁性のスペーサ基体21をフェースプレート17とリアプレート11との間に配置する場合でも、すくなくともスペーサ基体21の一方の端面には、低抵抗膜25を配置することが必要となる。

【0030】なお、図16のスペーサ基体21が平板状であった場合のA-A断面を模式的に図15に示す。また、図8は、スペーサ基体21が円柱状であった場合の

斜視図を示し、円柱の直径Rが平板状のスペーサ基体の長さ：Lおよび厚み：Dに相当する。

【0031】なお、ここでは、「スペーサ」という言葉と「スペーサ基体」という言葉を使い分けている。図16などに示すように、表面に何らかの被膜（例えば、前述の高抵抗膜22や低抵抗膜25）が施されるものを「スペーサ基体」と呼ぶ。一方、「スペーサ」とは、フェースプレート17とリアプレート11との間を支持するために配置される部材の総称であり、少なくとも前記スペーサ基体と前記低抵抗膜とを有する。

【0032】スペーサの端面に金属または導電率の高い材料を形成することが特開平8-180821号公報に、また、USP5561343、USP5614781、USP5675212、USP746635、USP5742117、USP5777432、および、W094/18694A、W096/30926A、W098/02899、W098/03986A、W098/28774Aなどに開示されている。

【0033】上述の公報には、スペーサの端面に金属または導電率の高い材料で低抵抗膜を形成する方法として、スパッタ成膜、抵抗加熱蒸着、塗布、ディッピング、印刷、などの様々な手法が開示されている。上記形成方法の中でも、塗布、ディッピング、印刷などのように、液体をスペーサ基体に付与し焼成する手法（液相形成法）は、簡便で安価に低抵抗膜25を形成できるので好ましい。

【0034】しかしながら、低抵抗膜25を前述したスペーサ基体21に形成する際に、液相形成法を単に用いた場合には、以下に示す問題が生じる場合があった。

【0035】即ち、液相形成法を用いると、低抵抗膜25の成膜状態には、スペーサ基体21の表面形状に対する依存性が顕著に現れてしまう。

【0036】特に、スペーサ基体21の角部がほぼ直角であった場合には、この角部での低抵抗膜25の形成が不十分になる場合があった。具体的には、スペーサ基体と低抵抗膜材料との濡れ性に液相膜の形状精度が強く依存し、スペーサ基体の表面汚染や端面近傍の基板の形状のバラツキなどの影響により、図4の(a)に示したように、低抵抗膜25の端部の位置が所望の位置h0より上昇してh1の位置となる。その結果、陽極電位と陰極電位の高さ位置が変動し、スペーサ基体21とリアプレート11およびまたはフェースプレート17との当接部近傍での電場の直線性が崩れ、電子軌道が所望の軌道からはずれてしまう場合があった。

【0037】また、低抵抗膜の形成コストを低減するために、スペーサ基体を予め束ねた後に膜を形成する方法が、複数のスペーサの加工を一括して行える観点からUSP5811927などで提案されているが、これを液相プロセスの前工程としてそのまま適用すると、図4の(b)に示すように、結束したスペーサ基体21に部分的に隙間が生じ、その場合は、隙間に漏れた液相形成材料が毛細管現象（meniscusphenomenon）で著しく上昇し、低抵抗膜

25の形成端がh2の位置に及ぶことがあった。

【0038】さらに、図5の(a)、(b)に示すように、スペーサ基体21としての円柱スペーサや多角形断面の柱状スペーサ、さらには、側面に凹凸を有した板状のスペーサなどの場合には、束ねたときに隙間をなくすことが非常に困難である。このため、スペーサ基体を結束した状態でスペーサ基体の所要個所に低抵抗膜を形成する新たな方法が必要である。

【0039】本発明は、スペーサ基体に被膜を精度よくかつ効率よく形成できる方法を実現することを目的とする。また、具体的には、液相形成法を用いてスペーサ基体の端部に低抵抗膜を形成する際に、上記問題が生じないスペーサ基体への低抵抗膜の形成方法を提供することを目的とする。

【0040】

【課題を解決するための手段】本願に係るスペーサの製造方法の発明の一つは、以下のように構成される。

【0041】第1の基板と、電子放出素子が配置された第2の基板との間に配置されるスペーサの製造方法であって、前記スペーサの、少なくとも一つの面の少なくとも一部に被膜を形成する工程を有しており、前記被膜を形成する工程が、

1. スペーサ基体を複数束ねた束体を準備する工程と、
2. 該束体に被膜材料を付与する工程と、を有しており、前記被膜材料を付与される束体は、該束体を構成する複数のスペーサ基体のそれぞれにおいて、被膜被形成部近傍の被膜非形成部を少なくとも覆うマスクを有していることを特徴とするスペーサの製造方法。

【0042】この構成によると、被膜被形成部近傍をマスクで覆っているため、束体を構成する複数のスペーサ基体に対する被膜材料の付与条件にばらつきが生じる場合でも、好適な被膜を形成することができる。例えば、束体に被膜材料を付与するときに、被膜材料が被膜被形成部以外の部分にも接触しやすいスペーサ基体とそうでないスペーサ基体とが存在し得る。

【0043】このとき、前者において被膜非形成部への被膜材料の接触を抑制しようとすると、後者の被膜被形成部への被膜材料の接触が不十分になりがちであり、一方、後者の被膜被形成部への被膜材料の接触を充分にしようとすると、前者の被膜非形成部への被膜材料の接触が問題となる。このような場合に本願発明は特に有効である。

【0044】例えば、ディッピング法により束体に被膜材料を付与する場合を考える。このとき、各スペーサ基体の被膜被形成部が同一面内に揃っていない場合や、被膜材料の表面のレベルがばらついている場合、及び、スペーサ基体の間に被膜材料が毛細管現象を起こす隙間を有する場合は、束体を被膜材料にディッピングしたときに、束体を構成する各スペーサ基体において被膜材料が付着する領域が異なる。

【0045】本願発明によれば、このように束体を構成する複数のスペーサ基体に対する被膜材料の付与条件にばらつきが生じる場合でも、好適に被膜を形成することが可能となる。電子放出素子を用いる構成においては、スペーサの被膜形成領域のばらつきは電子軌道のばらつきを生じさせるが、本願発明によると、電子放出素子を有する構成において好適に用いることができるスペーサを製造することができる。

【0046】以上の発明において、前記マスクは、前記スペーサ基体において、他のスペーサ基体と相対する面に設けられる構成を好適に採用できる。理由は、他のスペーサ基体と相対する面への被膜材料の付与状態が制御しにくいからである。

【0047】また、被膜被形成部が、スペーサが第1の基板もしくはスペーサよりも第1の基板側にある被接部材（配線や電極など）、もしくは第2の基板もしくは前記スペーサよりも前記第2の基板側にある被接部材（配線や電極など）と当接する当接面に位置する場合には、被膜の形成精度、特にスペーサ側面への被膜形成領域の回り込みの程度が電子の飛翔に大きく影響するため、本願発明を特に好適に採用できる。

【0048】特に、該被膜が低抵抗被膜である場合や該被膜が電極や配線に接続される場合に、本願発明は特に有効に採用できる。特に、被膜のシート抵抗値が $1 \times 10$ の7乗 [ $\Omega/\square$ ] 以下であるときに、本願発明を好適に採用できる。

【0049】また、マスクは不要になった段階で除去するのが望ましい。具体的には、エッチングにより除去することができる。エッチングによる除去を好適に行えるように、スペーサ基体及び被膜のエッチング耐性（エッチング液に対する耐性）とマスクのエッチング耐性（エッチング液に対する耐性）とが異なるような材料、もしくはエッチング条件を定めるとよい。

【0050】また、マスクとしては種々のものを用いることができるが、被膜材料がスペーサ基体に付着するのを妨げることができるように、スペーサ基体と密着するものが好適である。

【0051】また、被膜非形成部にマスクを形成する際には、被膜被形成部にも同時にマスクを形成すると容易にマスクを形成することができるが、その場合は、被膜被形成部に設けたマスクの除去を被膜材料の付与前に行う。このマスクを除去する工程は、束体を準備した後に行う方法と、この束体を構成する前の複数のスペーサ基体それぞれに対して行う方法のいずれかを採用できる。

【0052】また、マスクを除去する方法は、物理的に除去する方法を好適に採用できる。具体的には、やすり処理もしくはブラスト処理により行うことができる。

【0053】また、本願発明によれば、束体を構成する各スペーサ基体への被膜材料の付与条件のばらつきはある程度許容できるが、束体を構成する複数のスペーサ基

体それぞれの被膜被形成部が略同一平面内に位置するように行うのが好ましい。

【0054】また、スペーサ基体に被膜材料を付与するのみでは被膜が完成しない場合は、被膜材料に基づいて被膜を完成させる工程を探る。具体的には、被膜材料を加熱する工程を好適に採用できる。特に、被膜を乾燥及びもしくは焼成する工程を採用するのがよい。

【0055】また、以上述べた各発明は、液体の状態の被膜材料を付与する構成において特に好適に採用できる。特に、ディッピング法を用いるときに好適に採用できる。

【0056】前記スペーサ基体は、表面に凹凸を有する場合にこの発明は好適に採用できる。また、スペーサ基体が柱状構造を有する場合にこの発明を好適に採用できる。

【0057】またこの発明は、画像形成装置の発明として、電子の照射により画像を形成する画像形成部材が配置された第1の基板と、電子放出素子が配置された第2の基板と、前記第1の基板及び前記第2の基板との間に配置されるスペーサを有する画像形成装置の製造方法であって、以上述べたスペーサの製造方法によって製造されたスペーサを用いて画像形成装置を構成することを特徴とする画像形成装置の製造方法の発明を含んでいる。

【0058】画像形成部材としては、電子照射により発光する蛍光体を好適に採用できる。

【0059】なお、以上述べた各発明によると、以下のようないくつかの効果が得られる。

【0060】即ち、このスペーサを用いた画像形成装置では、高い表示品位を実現できる（上述の製造工程で、低抵抗膜の形状、精度を良好とすることにより、ビームずれや放電を抑制したスペーサおよびこれを用いた画像形成装置を安価に提供することができる）。

【0061】また、第2の効果として、広い材料選択性が得られる（上述の製造工程で塗布液材の違い上がりを防ぐので、濡れ性の管理が不要もしくは簡便となることから、基体材料および液相膜形成材料の選択の範囲を広げることが可能となる）。

【0062】さらに、スペーサの当接面、即ち、低抵抗の電極形成面の幾何学的要件から、パターニング作業を実質的に不要とする点を利用して、以下に述べるように高精度と低コストを両立させた多くの効果を実現できる。なお、前述の電極形成面の幾何学的要件とは、即ち、同一の画像形成装置内に配置される単独および複数のスペーサが、一般的に耐大気圧軸に対して垂直かつ共通な平面を、自己もしくは互いに共有していることである。

【0063】即ち、本発明の第3の効果は、上述の当接面自体の平面性と垂直性を利用することにより、低抵抗膜の形成領域のパターニング工程がセルフアライメントで行えることである。特に、フォトリソグラフィーなど

の光学的なパターン形成手法やアライメント作業をする必要がなく、当接面をヤスリなどに当接させて摩擦する物理的処理方法のセルフアライメントにおいて、スペーサ当接面で低抵抗被膜を簡便に除去することが可能である。

【0064】さらに、本発明では、当接面を同一平面とするように、複数のスペーサを互いに束ねることが可能であるから、以下のような効果を発現できる。

【0065】即ち、第4の効果として、低抵抗膜付与がアライメントフリーで行える（連結した一端面を低抵抗膜の形成面とすることにより、浸漬などの低製造コストな液相製法を利用して、一度に大量のスペーサの低抵抗膜の生成が可能となる）。

【0066】また、第5の効果として、マスク層除去のパターニング工程の手法の選択性が広がる（上記のパターニング工程をスペーサ基体を束ねた状態で行う場合に同時に大量に形成面を作ることができるだけでなく、スペーサ同士が非形成部をマスクしているために、物理的除去手段として、ヤスリだけでなくサンドblastなどの物理的手法が採用でき、あるいは、通常のパターンマスクを必要とする工程に対しても容易に適用できる）。

【0067】更に、第6の効果として、ハンドリングが簡易化される。一般にスペーサは、耐電圧と画素間のスペースの関係から、10:1程度以上の高さ:厚み比、即ち、縦横比(aspect ratio)を有しており、細い柱状構造かもしくは極めて薄い板状構造を採用しており、更に、スペーサの固定を画像領域外で行い、スペーサの部材数を抑制した組み立てを行うために、スペーサ長を画像領域より長くすることがあり、より一層スペーサ基体のアスペクト比が大きくなる場合がある、これらのスペーサ基体が製造段階のハンドリングで欠けたり折れることがあった。

【0068】しかし、本発明の製造方法（これらのスペーサを束ねること）により、ワーク全体としてアスペクト比を小さくすることが可能となり、ハンドリング中で折れ難いなどの効果がある。

【0069】更に、帶電抑制などを目的として、スペーサ基体の側面(lateral surface)を粗面化する場合に、ハンドリング中に微小な凹凸形状が欠けることがあるが、本発明の製造方法（束ねること）により、結束されてハンドリングされている間は、隣接する基板同士がマスク層を介して凹凸修飾面を保護（遮蔽・マスク）しているため、凹凸構造の欠けが防止される。

【0070】以上のように、本発明の製造方法において、スペーサ基体を束ねることにより、スペーサの製造工程のハンドリングにおける基体の欠けとこの欠けた部分からの放電が回避され、高品質の画像表示装置を提供することができる。

【0071】第7の効果として、メニスカスによる液相膜の精度不良を改善できる。即ち、一般に柱状スペーサ

もしくは束ねたときに向き合う側面に凹凸を有しているスペーサは、束ねたときに隙間をなくすことが困難であり、このまま当接面に低抵抗膜を形成すると、前記隙間に低抵抗膜部材が漏洩し、低抵抗膜の形状精度が低下し、放電ビームずれの原因となつたが、本発明の製造方法によれば、仮に隙間があつても外表面にマスク層があるため、低抵抗膜部材が最終的にマスク層の除去工程で下地のマスク層とともに排除され、上記のような問題は発生しない。

【0072】なお、スペーサを束ねる工程は、低抵抗膜を付与する工程の前に設けることが重要であるが、それは、マスク層の部分除去の工程の前後のどちらであつてもよい。しかしながら、前述の第5および第6の効果を得たい場合には、マスク層の部分除去工程の前に行う方が好適である。

【0073】これらの製造方法によれば、液相形成法により、スペーサ基体の端面への低抵抗膜の形成が均一かつ高精度、かつ、安価に行える。その結果、電子放出粒子から放出された電子の軌道が安定し、無用の放電のない良好な画像を長時間表示できる高品質な画像形成装置を得ることができる。

【0074】また、結束する工程において、基板同士の結束の方向は、以下の2種類の方法もしくは、これらを組み合わせた方向で行うことが好ましい。

【0075】一方の結束方法は、平行方向の結束方向であつて、隣接するスペーサ基体が互いに同一の端面の法線を平行方向に共有する“平行方法結束”であり、もう一方の結束方法は、隣接するスペーサ基体が、互いに一方の端面の法線とその端面と対向する端面のそれぞれの法線が平行方向に共有する“反並行方向結束”である。

【0076】スペーサ基体の端面形状が台形形状の断面を有している場合などでは、後者の“反並行方向結束”が望ましい。また、結束する場合は、マスク層を介して結束する方法以外に適当な治具を介して結束してもよい。

【0077】

【発明の実施の形態】以下、本発明の一実施の形態を図面を参照しながら具体的に説明する。まず、例えば、画像形成装置における構成要素としてのスペーサ基体21に、マスク層の被覆とそのパターニングを行った後、スペーサ基体21の端面24に低抵抗膜25を形成する場合について説明する（図1を参照）。

【0078】このための本発明の低抵抗膜製造方法の手順の一例を、図2の(a)および図3の(a)に図解する。図2の(a)に示す手順は、機械的加工（板状の素材から切断加工により、スペーサ母材を切り出す）による基板形状加工工程：S1、マスク層をスペーサ母材表面に被覆するマスク層被覆工程：S2、パターニングのために、予め、スペーサ母材の被パターニング面を同一平面に揃えてスペーサ母材を多数結束する結束工程：S

3、その後、被バーニング面からマスク層を除去するマスク層バーニング工程：S4、マスク層が除かれた面に低抵抗膜を形成する低抵抗膜形成工程：S5、そして最後に、スペーサ母材の表面からマスク層を除去するマスク層除去工程：S6、で行われる。

【0079】また、図3の(a)に示す手順は、先の手順において第3の結束工程：S3と第4のマスク層バーニング工程：S4とを逆にした点が相違する。ここでは、結束前に個々のスペーサ母材に対してマスク層を除去し、その後に、その被バーニング面を同一平面に揃えて次の低抵抗膜形成に備える。

【0080】なお、本発明の適用範囲は、これに限定されず特許請求の範囲の各請求項に規定された範囲に及ぶことは勿論である。

【0081】本発明における低抵抗膜25は、導電性材料を含有する液体を液相形成で形成することが、原料の使用効率をあげて製造工程のコストを低減するために望ましい。そして、本発明によれば、液相形成法において、さらに、以下の第1ないし第4の態様を探ることにより、スペーサ基体21の端面に形成する低抵抗膜を効率的に高精度に作成することができる。

【0082】即ち、第1に、低抵抗膜25を形成する領域に、予め付与したマスク層をバーニング（マスク層を除去）しておき、液相膜の作成プロセスでは、特別のバーニング工程を用いない簡単な方法にて形成する。

【0083】第2に、マスク層のバーニング工程、即ち、部分的な除去工程では、所望の領域（当接面）を除去するために、従来のような光学的なバーニングを行わず、物理的手段でマスク層を部分除去する。この工程は、ヤスリなどの部材との接触やサンドブラストなどの除去方法により、セルフアライメントで端面のみ加工することができる。

【0084】第3に、マスク層のバーニング工程（図2の(a)を参照）もしくは低抵抗膜形成工程（図3の(a)を参照）では、予め、端面24を同一平面とするように、スペーサ基体21の側面を互いに向かい合わせて束ねておき、低抵抗膜の形成領域が互いに連続して集積した一つのワークとして扱い、複数のスペーサ基体21に一括して低抵抗膜25を形成する。またこのとき、束ねたことにより、隣接する基板同士が互いに非形成領域の側面をマスクする機能を有し、マスク層によるマスク機能を補助する。

【0085】第4に、液相形成法として、後述するディッピング法を用いる。なお、本発明において、液相形成法とは、低抵抗膜25を構成する導電性材料が分散または溶解した液体を、スペーサ基体21の端部（端面およびこれに連続する側面）に塗布して加熱焼成することで、低抵抗膜25とする。

【0086】まず、上述の第1の態様について以下に説明する。即ち、低抵抗膜形成工程の前工程として、スペ

ーサ基体21にマスク層を被覆する工程、および、マスク層を部分的に除去する工程（バーニング工程）を施すことにより、後工程の低抵抗膜25への正確なバーニングが不要となる。上記機能を発現するために、マスク層の材料としては、一般的なものを使用できるが、以下の要件(a, b, c)を満たせば特に限定されず、種々の有機材料、無機材料が適用できる。

【0087】(a) マスク層が低抵抗膜25の間で選択的に剥離できること

(b) マスク層が多孔質ではない連続膜であること

(c) マスク層が低抵抗膜形成用の塗工材に溶出しないこと

さらに、低抵抗膜の材料としては、マスク層の除去材料のマスク層への浸透を促進する点で、多孔質や微小な空隙、粒界を有した膜質を得られるような材料であることが好ましい。

【0088】また、バーニングに光学プロセスを用いなくてもよいので、感光性のレジスト等を使用する必要がなく、マスク材料の選択の自由度が高い。感光性ではないレジストを使用した場合には、バーニング前の段階で遮光などの雰囲気管理が不要となる利点がある。

【0089】次に、第2の態様について説明する。所望の領域（スペーサの端面24）を確定して、低抵抗膜25の形状を正確に規定し、かつ、低抵抗膜形成プロセスを簡易に行うためにマスク層のバーニングを行うが、上記機能を発現するための削除手段としては、エッティングを含めた化学的、光化学的な削除手段も適用でき、端面24、即ち、スペーサ基体にとっての幾何学的要件を積極的に利用することで、物理的削除手段を有効に利用できる。

【0090】本発明において有効となるマスク層の物理的削除手段とは、摩擦を利用したヤスリ処理、粒子を吹き付けるブラスト処理などが簡便なる方法として好適である。

【0091】次に、第3の態様について説明する。スペーサ基体21を束ねた上で、スペーサ基体21に低抵抗膜25を液相製法で行う場合に、隙間に侵入する低抵抗膜の材料で、一般に低抵抗膜の形成精度が低下する問題があるが、このとき、本発明による製造方法によれば、塗工液の侵入があっても、最終的にこの侵入塗工膜がマスク層を剥離することでともに除去されるから、上述の形成精度が低下せず、所要の精度を確保できる。

【0092】このような観点から、特に本発明の製造方法では、隙間が原理的に生ずる形状のスペーサ基体についても適用することができる。例えば、図4にスペーサ基体21の端面24に厚さ：h0の低抵抗膜25を形成する場合の事例が示されているが、ここでは、結束状態で、スペーサ基体21の側面にもh1～h2の幅で侵入塗工膜が形成される。しかし、これはマスク層の剥離と共に除去される。

【0093】その他の適用例としては、多角形断面を少なくとも一部に有する柱状スペーサや、側面が凹凸化されたスペーサなどが挙げられる（図5参照）。なお、この実施の形態において、断面が「多角形」であるとは、正方形、長方形、台形、平行四辺形、菱形を除いた4角形以上の断面を意味し、円、楕円、星状、十字状、「」型状の断面も対象に含むものとする。

【0094】また、固定方法の工夫により、スペーサ基体21を画像領域（加速電界印加領域）より外側まで延長するように長尺化して、画像領域外のみで固定する方法を選ぶこともできる（図6には、リアプレート11とフェースプレート17との間でスペーサ20が設けられる画像形成装置の場合において、支持部材29でスペーサ20が支持されるが、これに適用されるスペーサ基体21は、従来のものより長尺化されている）。因みに、一般に、これらの長尺物を互いに隙間なく束ねることが困難であるが、本発明を適用することで、前述の長尺スペーサを束ねて低抵抗膜25を形成する際にもその有効性が確保できる。

【0095】特に、スペーサ基体21に高抵抗膜を施さない場合には、一般に低抵抗膜25の界面において真空と絶縁体（スペーサ基体）及び金属（低抵抗膜）との間のトリプルジャンクションが形成される畏れがある。その結果、低抵抗膜の形状による放電が発生し易いため、本発明では、上述の第1ないし第3の態様での結束およびマスク層形成による低抵抗膜の形成が非常に有効となる。

【0096】束ねる方法としては、複数のスペーサ基体21が相互に端面24を同一平面に連続する形にできれば、いかなる方法を用いてもよい。板状のスペーサ基体21に対する結束方法の一例としては、鏡面研磨した平板ガラスを利用して当接面の位置出しを行い、軽く束ねた後、最も面積の広い面、即ち、側面の一部を両側から治具で挟む方法が簡便かつ有効である。

【0097】さらに、柱状スペーサにおいては、同様に鏡面研磨した平板ガラスを利用して当接面の位置出しを行い、軽く束ねた後、バンド状のものでスペーサの高さの中央付近部を結束して締め上げ固定する方法が適用できる。

【0098】次に、第4の態様について説明する。前記液相形成法のなかで下記のディッピング法を用いることにより、材料の利用効率が高く、一定のパターニング効果もあり、一括して広い面積に形成することが可能となる。

【0099】即ち、ここで、本発明におけるディッピング法の一例を図7を用いて説明する。なお、図7は、スペーサ基体21（既に、マスク層を形成し端面をパターニングしたもの）を側面から見た図である。この実施の形態におけるディッピングとは、以下のような工程H～Kを行うことである。

【0100】【工程H】低抵抗膜25を構成する導電性材料を分散あるいは溶解した液体43を、適当な凹部42を有する基板41上に展開し塗工する工程（図7の(a)および(b)を参照）である。

【0101】【工程I】スペーサ基体21の端面（図1の上下の当接面）を基板41上に展開した液体43に接触させ、浸漬させる工程（図7の(c)および(d)を参照）である。

【0102】【工程J】液体43を展開した基板41からスペーサ基体21を引き離し、液体43を低抵抗膜25として転写させる工程（図7の(e)を参照）である。

【0103】【工程K】スペーサ基体21に転写した液体25を加熱することで、低抵抗膜25を形成する工程である。

【0104】なお、本発明においては、低抵抗膜25を構成する導電性材料を分散あるいは溶解した液体43を「塗工液」と呼ぶ場合もある。

【0105】このディッピングによれば、簡便にスペーサ基体21の端面24のみに低抵抗膜25を形成することができる。なお、ディッピングの塗工液43の展開手段としては、バーコートもしくはドクターブレードによる引き延ばし展開方法やスピンドルによる展開方法を用いることが可能である。

【0106】また、塗工液43が展開される基板41は、必ずしも凹部を有するものではなく平坦な基板であってもよい。更に、当該塗工液43にスペーサ基体21を接触させた後、引き離す転写工程において、スペーサ基体21を図7の場合のように、展開液面に降下させることも可能であり、逆に、スペーサ基体21に展開液面（この場合は、塗工液43がその粘性で展開面に保持される）を下向きにして、基板41を降下させて接触させることも可能である。

【0107】以上説明したように、第1～第4の実施形態のいずれかの方法を用いることにより、簡易でかつ安価な液相形成法を用いた際に、スペーサ基体21の端面24に低抵抗膜25を十分に被覆することができる。

【0108】上述のスペーサ基体21の材料としては、ガラスまたはセラミックを用いることにより、安価かつ切削研磨加工が容易で、組立て強度が良好なスペーサ20および該スペーサを用いた画像形成装置を作成することが可能となる。なお、画像形成装置において、フェースプレートおよびリアプレートとスペーサ基体は、同一の材料を用いるのが熱膨張率のマッチングの観点からは好ましい。

【0109】前述したスペーサ基体21（図1および図8を参照）の縁（角部）23が直角または鋭角な端面24に対して、液相形成法を用いて低抵抗膜25を形成すると（図9の(b)および図10の(b)を参照）、縁23での低抵抗膜25や高抵抗膜（スペーサ基体21の側面、側端面に形成される場合）の形成が不十分になる

か、互いの電気的接合が不十分な場合が過去に存在した。そこで、本発明者らは、図9の(a)および図10の(a)に断面で示すように、この縁23を鈍角として、前述した課題が解決されることを見出した。

【0110】図11は、本発明に適用されるスペーサ基体21の端面24に対して、低抵抗膜25を被膜した状態を示す模式図である。なお、図11に示されたスペーサ基体21の端部も、図9および図10に示したスペーサ基体の端部と同様に、リアプレート(あるいはフェースプレート)の平面に対して垂直方向の断面で示されている。

【0111】即ち、スペーサ基体21が図1に示したように平板状である場合には、図9、図10および図11における断面図がスペーサ基体21の厚みがD(最小)である箇所での断面図(側端面に平行な断面)を指すことになる。また、スペーサ基体21が図8に示すように柱状である場合には、スペーサ基体21の上下の端面24の中心を含む垂直平面で切断した断面図に相当する。

【0112】上記要件を満たす端面形状を得るための手法としては、如何なる手段を用いてもよい。一例として、図1に示した平板状のスペーサ基体21を用いる場合には、図12に示すように、まず、スペーサ基体21と同一の厚み:Dのガラス板(母材)81から、スペーサ基体21の母材(以下、スペーサ母材と称す)82をダイヤモンドカッターなどで切り出す。この切り出しにより、図1に示すものと同じ厚み:D、高さ:H、長さ:Lのスペーサ母材82が得られる。

【0113】そして、スペーサ母材82に対して、図9の(a)および図10の(a)に示す端部処理を行う。この端部処理は、具体的には、円弧状にする処理、または、テーパ状(角を平面状)にする処理であって、これによりスペーサ母材82の縁(角部)の鋭角部分を鈍角にする。この端部処理の具体的手段としては、サンドブラスト、レーザースライプ、ウォーターブラスト、スクライプカット、研磨、弗酸などによるケミカルエッチング処理などを挙げることができる。

【0114】スペーサ母材82の縁の円弧状処理(図9の(a)および図10の(a)を参照)において、曲率半径:rの範囲は、スペーサ母材82の厚み:Dに対してD/2以下が好ましい。さらに、好ましくはD×1/100以上(図9の(b)および図10の(b)は、これを模式的に示す)であれば、低抵抗膜25の連続性とスペーサの組立て精度を満たすことが可能となる。上記厚み:Dは、好ましくは10μmから500μmであり、さらに20μmから200μmがより好ましい。従って、上記曲率半径:rは0.1μm以上250μm以下が好ましく、さらに、0.2μm以上100μm以下がより好ましい。

【0115】なお、図11は、本発明の実施の形態に適用可能なスペーサの断面形状の一例(円弧状にした場

合)を示し、また、端部に低抵抗膜25を付与している状態を示している。また、ここでスペーサの材料がガラスで図1に示した平板状であり、かつ、端部が図9および図10のスペーサ基体21を形成する場合には、図12に示した切り出しによる方法よりも、以下の加熱延伸法を適用するのが好ましい(図2の(b)および図3の(b)を参照)。

【0116】即ち、図2の(b)に示す手順は、第1に、スペーサ母材を加熱延伸による凹凸基板(スペーサ基体)に形成する工程:S11、第2に、OFPR-800などのマスク層を浸漬法で被覆する工程:S12、第3に、治具によりスペーサ基体を結束する工程:S13、第4に、#24,000のペーパヤスリによりスペーサ基体の端面のマスク層を除去するバターニング工程:S14、第5に、スペーサ基体の当接面をPt-Moペーストに浸漬し、その後360°Cで焼成し、当接面に低抵抗膜を生成する工程:S15、第6に、M321中に浸漬して残されたマスク層を除去し、純水中でリーンスする工程:S16で行う。

【0117】なお、図3の(b)の手順は、先の手順において、第3の工程:S13と第4の工程:S14を逆にした点が相違する。ここでは、結束前に個々のスペーサ基体に対して、例えば、#4000ヤスリによる端面のマスク層の除去を行い、その後に、治具により被バターニング面を同一平面に揃えて結束し、次の低抵抗膜形成に備える。

【0118】このような加熱延伸法によれば、スペーサ母材82の作成と端部処理(縁が所要の曲率を有する形状への加工)が同時に行える。

【0119】次に、加熱延伸法の一例を図13に示す装置を参照して説明する(工程AからC)。

【0120】【工程A】まず、ガラス板(母材)91を用意する。このとき、最終的に得ようとするスペーサ基体21の断面積をS2、ガラス板91の断面積をS1とし、このS1、S2は(S2/S1) < 1を満たすものとする。なお、ここで「断面」とは、図13における速度V1またはV2の方向成分に対して垂直な平面で、ガラス板91およびスペーサ基体21を切ったときの断面を指す。

【0121】【工程B】次に、工程Aで用意したガラス板91の両端を固定し、長手方向の一部を加熱手段(ヒータ)92により加熱するとともに、第一の送り手段(例えば、ローラー対)94により、ガラス板91の一方の端部を加熱手段(ヒータ)92の方向に速度:V1で送り出す。同時に、第二の送り手段(例えば、延伸ローラー対)93により、ガラス板91のもう一方の端部を速度:V2で加熱手段92から引き出す。このようにして、第一の送り手段94、加熱手段(ヒータ)92および第二の送り手段93により、ガラス板91が加熱されながら引き伸ばされる。

【0122】なお、速度:V2の方向は、速度:V1の

方向と実質的に同一である。このため、速度:  $V_1$ 、 $V_2$  は、 $(S_2/S_1) = (V_1/V_2)$  の値を満たすことが好ましい。具体的には、 $V_2/V_1$  の値は 10 以上、10,000 以下が好ましく、特に、100 以上、10,000 以下が好ましい。

【0123】このときの加熱手段（ヒータ）92 の加熱温度は、ガラスの種類や加工形状によるが、ガラス板91 の軟化点以上の温度が好ましく、具体的には 500 ～ 700°C とすることが好ましい。また、送り手段 94、93 としては、図示のようなローラーなどの回転体や、複数の回転体により駆動されるベルト（図示せず）をガラス板91 に接触させて搬送するのが好ましい。これらの各条件を満たすことで、前述の好ましい曲率半径:  $r$  の縁の断面形状が得られる。

【0124】【工程C】次に、工程Bにより延伸されたガラス板91 を十分に冷却した後、切断手段 95 により所望の長さに切断してスペーサ基体21 を作成する。なお、冷却温度は室温程度でよい。

【0125】以上の工程（AからC）で前述の好ましい曲率半径:  $r$  の縁（角部）のスペーサ基体21 が得られる。また、工程Aで用意するガラス板91 の断面形状を予め図9 または図10 に示した形状の端面24 に形成しておくことが特に好ましい。このようにすれば、工程（AからC）を経ることにより、工程Aで用意されたガラス板91 の断面に相似する形状のスペーサ基体21 が容易に形成できる。そのため、速度:  $V_1$ 、 $V_2$  の比を適宜設定することにより、ガラス板91 の曲率半径を任意に縮小したスペーサ基体21 が再現性良く得られる。

【0126】従って、上述の加熱延伸法を用いれば、スペーサ基体21 に要求される微少な曲率半径を直接加工する必要がない。換言すれば、上記曲率半径を拡大した状態（延伸前）で加工することができるので、簡易に精度良くスペーサ基体21 の縁（角部）23 の微少な曲率半径を得ることができる。

【0127】また、上記加熱延伸法においては、図13 に示したように、送り出し手段94、93 は、図1 で規定するところのスペーサ基体21、即ち、ガラス板91 の側面（長さ方向の側面）に対応して配置することが望ましい。理由は、前述の速度:  $V_1$ 、 $V_2$  で、ガラス板91 を搬送／延伸する際により安定性が高く、高精度の速度制御ができるためである。また、送り出し手段94、93 は、それぞれが図13 に示したように、ガラス板91 の側面（長さ方向の側面）を挟む一対の送り出し手段からなることが好ましい。また、送り出し手段としては、回転でスペーサ基体21 およびガラス板91 を搬送する手段が簡易であって好ましいが、特に、これに限定されるものではない。

【0128】以上説明した各手法により得られた所要の端面形状のスペーサ基体21 に対して、前述のようにマスク層が被覆され、端面24 に対してバターニングがな

された後、液相形成法（例えば、後述する浸漬転写法）を用いて低抵抗膜25 を形成することにより、スペーサ基体21 の端部を低抵抗膜25 で十分に被覆することができる。

【0129】特に、前述した加熱延伸法を用いてスペーサ基体21 を作成する場合は、工程Cにより所望の長さ:  $L$  に切断した後に、マスク層の被覆とバターニングがなされたスペーサ基体21 に液相形成法（例えば、後述する浸漬転写法）を用いて、低抵抗膜25 を形成することが望ましい。これは、液相形成法（例えば、後述する浸漬転写法）で低抵抗膜25 を形成する際に、スペーサ基体21 の取扱いが容易で簡便なためである。

【0130】なお、前記加熱延伸法工程において、端面処理の鈍角化と同様にして、母材に予め凹凸構造を設けておくことで、最終的に得られるスペーサ基体21 の側面（更には、側端面）上に凹凸26 を形成させることもできる（図9～図11 を参照）。

【0131】本発明の液相形成法によって、スペーサ基体21 の端面に低抵抗膜25 を設けたスペーサ20 は、例えば、画像形成装置におけるリアプレート（電子源）11 とフェースプレート17との間に配置される（図14 参照）。また、スペーサ20 をリアプレート（電子源）11 とフェースプレート17との間に、数kVから数十kVの電圧を印加する高電圧Vaタイプの画像形成装置に適用する場合には、図15 および図16 に示したように、スペーサ基体21 の側面に高抵抗膜22 を配することが好ましい。この高抵抗膜22 により、スペーサ表面（側面）の帯電を抑え、結果として、発光点のずれのない良好な画像が得られる。

【0132】なお、図15 および図16 には、高抵抗膜22 がスペーサ基体21 の側面のみを覆っている例が示されているが、高抵抗膜22 がスペーサ基体21 の全ての表面（側面、側端面および上下の端面）を覆っていても良い。また、高抵抗膜22 は、必ずしもスペーサ基体21 の外表面の全てを覆う必要はない。即ち、真空容器（後述する）内に露出するスペーサ基体21 の外表面の内、低抵抗膜25 で覆われていない部分を高抵抗膜22 で覆えば良い。但し、高抵抗膜22 と低抵抗膜25 の接続が必要であるから、低抵抗膜25 と高抵抗膜22 とをオーバーラップすることが好ましい。

【0133】さらに、図15 および図16 では、低抵抗膜25 が高抵抗膜22 を覆っている例を示した。しかし、逆に、スペーサ基体21 の端面を低抵抗膜25 が覆った上で前記高抵抗膜22 がスペーサ基体21 の側面を覆う形態であってもよい。このような構成にすることにより、高抵抗膜22 が低抵抗膜25 とスペーサ基体21 との界面を覆うことができ、その結果、上記界面における低抵抗膜25 の形状に起因する放電などを抑制できる。

【0134】高抵抗膜22 の表面抵抗値は、10 の7乗

【Ω/□】～10の14乗【Ω/□】であることが好ましい。このような表面抵抗値を有することで、帯電と上下基板(FPとRP)間の電力消費と発熱を抑えることが可能となる。一方、低抵抗膜25の抵抗値は、フェースプレート17および/またはリアプレート11と高抵抗膜22との接続を良好にする目的から、その面積抵抗として高抵抗膜22の抵抗値の1/10以下であり、かつ、10の7乗【Ω/□】以下であることが望ましい。

【0135】本発明の画像形成装置に用いられる電子源には、好ましくは、前述した冷陰極素子(MIM、FE、表面伝導型電子放出素子など)が用いられる。そして、この冷陰極素子の中でも、表面伝導型電子放出素子は素子の構造が簡単なために、大面積のフラットパネルディスプレイに向いているので、特に好ましい。

【0136】また、本発明の画像形成装置には、ディスプレイの他に、例えば、電子放出素子から放出された電子を照射するターゲット(画像形成部材)に電子線レジストなどを用いることで、潜像を形成する装置などが含まれる。

【0137】(表示パネルの構成と製造法)次に、本発明の実施の形態におけるスペーサ20を用いた画像表示装置(表示パネル)100の構成とその製造方法の一例について具体的に説明する。図17は、この実施の形態における表示パネル100の外観斜視図であり、その内部構造を示すために表示パネル100の一部を切り欠いて示している。

【0138】図中、105はリアプレート(図14～図16の符号11に相当)、106は側壁、107はフェースプレート(図14～図16の符号17に相当)であり、これらによって表示パネル100の内部を真空に維持するための気密容器が形成されている。この気密容器を組み立てるに際しては、十分な強度と気密性を保持するために、各部材の接合部を封着する必要がある。

【0139】そこで、ここでは、例えばフリットガラスを接合部に塗布し、大気中或は窒素雰囲気中で、摂氏400～500度で10分以上焼成することにより所要の封着を達成した。この気密容器の内部は、10のマイナス4乗[Pa]程度の真空に保持されるので、大気圧や不意の衝撃などによる気密容器の破損を防止する目的で、耐大気圧構造体として、本発明のスペーサ20が設けられている。

【0140】図17においては、リアプレート105に基板101が固定されており、この基板101上に冷陰極素子102がN×M個形成されている。なお、ここで、N、Mは2以上の正の整数であり、目的とする表示画素数に応じて適宜の値が設定される。

【0141】例えば、高品位テレビジョンなどの表示装置においては、N=3,000、M=1,000以上の数を設定することが望ましい。これらN×M個の冷陰極素子102は、M本の行方向配線103とn本の列方向配

線104とにより、単純マトリクス配線されている。

【0142】そこで、これらの基板101～列配線104によって構成される部分を、ここではマルチ電子源と呼ぶことにする。この実施の形態のマルチ電子源は、冷陰極素子を単純マトリクス配線した電子源であれば、冷陰極素子の材料や形状あるいは製法に制限はない。従つて、例えば、表面伝導型放出素子やFE型、あるいは、MIM型などの冷陰極素子を用いることができる。

【0143】次に、冷陰極素子として、表面伝導型放出素子(後述)を基板上に配列して、単純マトリクス配線したマルチ電子源の構造について述べる。図18は、図17の表示パネル100に用いたマルチ電子源の平面図である。基板101上には、表面伝導型放出素子が配列され、これらの素子は、行方向配線電極103と列方向配線電極104により単純マトリクス状に配線されている。行方向配線電極103と列方向配線電極104との交差する部分には、電極間に絶縁層(図示せず)が形成されており絶縁が保たれている。

【0144】図19は、図17および図18のA-A線に沿った断面を示す。なお、このような構造のマルチ電子源は、予め、基板101上に行方向配線電極103、列方向配線電極104、電極間絶縁層(図示せず)および表面伝導型放出素子の素子電極112、113、導電性薄膜114を形成した後で、行方向配線電極103および列方向配線電極104を介して各素子に給電して、通電フォーミング処理(後述)と通電活性化処理(後述)を行うことにより製造した。

【0145】なお、この実施の形態においては、気密容器のリアプレート105にマルチ電子源の基板101を固定する構成としたが、このマルチ電子源の基板101が十分な強度を有する場合には、気密容器のリアプレートとしてマルチ電子源の基板101自体を用いてよい。

【0146】また、フェースプレート107の下面には、蛍光膜108が形成されている。なお、この実施の形態は、カラー表示装置を対象とするので、蛍光膜108の部分には、CRTの分野で用いられる赤、緑、青、の3原色の蛍光体が塗り分けられている。

【0147】各色の蛍光体は、例えば、図20の(a)に示すように、ストライプ状に塗り分けられ、このストライプの間には、黒色の導電体1010が設けてある。この導電体1010を設ける目的は、電子の照射位置が多少ずれても、表示色にずれが生じないようにするため、外光の反射を防止して表示コントラストの低下を防ぐため、さらには、電子による蛍光膜のチャージアップを防止するため、などである。導電体1010には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料でもよい。

【0148】また、3原色の蛍光体の塗り分け方は、図20の(a)に示したストライプ状の配列に限られるも

のではなく、例えば、図20の(b)に示すようなデルタ状配列や、それ以外の配列でもよい。なお、モノクロームの表示パネルを作成する場合には、単色の蛍光体材料を蛍光膜108に用いればよく、また、必ずしも導電材料1010を用いなくてもよい。

【0149】また、蛍光膜108のリアプレート105側の面には、CRTの分野では公知のメタルバック109を設けてある。このメタルバック109を設けた目的は、蛍光膜108が発する光の一部を鏡面反射して光利用率を向上させるため、負イオンの衝突から蛍光膜108を保護するため、電子加速電圧を印加する電極として作用させるため、さらには、蛍光膜108を励起した電子の導電路として作用させるため、などである。このメタルバック109は、蛍光膜108をフェースプレート基板107上に形成した後、蛍光膜表面を平滑化処理し、その上にアルミニウム(A1)を真空蒸着する方法により形成した。なお、蛍光膜108に低電圧用の蛍光体材料を用いた場合には、メタルバック109は用いない。

【0150】また、この実施の形態では用いなかったが、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート基板107と蛍光膜108との間に、例えばITOを材料とする透明電極を設けてよい。

【0151】また、行配線端子Dx1～DxMおよび列配線端子Dy1～DyN、Hvは、この表示パネル100と前述の各回路などを接続するために設けた気密構造の接続用端子である。そして、これら行配線端子Dx1～DxMは、マルチ電子源の行方向配線103と、列配線端子Dy1～DyNはマルチ電子源の列方向配線104と、また、Hvは、フェースプレート107のメタルバック109とを接続している。

【0152】また、この気密容器内部を真空にするには、この気密容器を組み立てた後、排気管と真空ポンプ(何れも図示せず)を接続し、気密容器内を10のマイナス5乗[Pa]程度の真空中度まで排気する。その後排気管を封止するが、気密容器内の真空中度を維持するため、封止の直前あるいは封止後に、気密容器内の所定の位置にゲッター膜(図示せず)を形成する。このゲッターモー膜とは、例えば、ヒータもしくは高周波加熱により、Baを主成分とするゲッター材料を加熱し蒸着して形成した膜であり、このゲッター膜の吸着作用により、気密容器内は10マイナス3乗～10マイナス5乗[Pa]の真空中度に維持される。

【0153】図21は、図17のA-A線の断面模式図であり、各部の番号は図17に対応している。ここで説明する態様は、次の通りである。即ち、スペーサ20は、スペーサ基体21の表面に帯電防止のための高抵抗膜22を成膜し、かつ、フェースプレート107の内側(メタルバック109など)および基板101の表面

(行方向配線103または列方向配線104)に、それぞれ面したスペーサ基体21の端面24に低抵抗膜25を成膜した部材を有する。

【0154】そして、上記目的を達成するのに必要な数だけ、かつ、必要な間隔をおいて、フェースプレート107に対してスペーサ20が配置され、フェースプレート107の内側および基板101の表面に画像領域外に配置された固定部材(図示せず)により固定される。

【0155】また、高抵抗膜22は、スペーサ基体21の表面の内、少なくとも気密容器内の真空中に露出している面に成膜されており、低抵抗膜25と接合材110を介してフェースプレート107の内側(メタルバック109など)と基板101の表面(行方向配線103または列方向配線104)に接続される。

【0156】なお、ここでは、画像領域外においてスペーサ20を固定部材により固定することにしたが、直接、スペーサ20の当接面の近くで、一方に導電性微粒子を含有するガラスフリットなどの固定部材を付与させて、行方向配線103およびメタルバック109に固定する方法も採用することもできる。

【0157】また、ここで説明する態様においては、スペーサ20の形状を平板状とし、これを行方向配線103に平行に配置し、行方向配線103に接続させている。しかし、スペーサ20は柱状としてもよく、また、その表面に凹凸を有してもよい。さらに、このスペーサ20は、基板101上の行方向配線103および列方向配線104と、フェースプレート107内面のメタルバック109との間に印加される高電圧に耐えるだけの絶縁性を有し、かつ、その表面への帯電を抑制する程度の導電性を有する必要がある。

【0158】また、ここで説明する態様においては、スペーサ基体21の材料として、例えば、石英ガラス、Naなどの不純物含有量を減少したガラス、ソーダライムガラス、アルミナなどのセラミックス部材が挙げられる。なお、スペーサ基体21の材料の熱膨張率は、気密容器と基板101を構成する部材のそれに近いものが好ましい。

【0159】スペーサ20の高抵抗膜22には、高電位側のフェースプレート107(メタルバック109など)に印加される加速電圧Vaを、高抵抗膜22の抵抗値Rsで除した電流が流れる。そこで、スペーサ20の抵抗値Rsは、帯電抑制および消費電力からその望ましい範囲に設定される。帯電抑制の観点から、表面抵抗は10の14乗[Ω/□]以下であることが好ましく、更には、十分な帯電抑制効果を得るために、10の13乗[Ω/□]以下が好ましい。なお、この表面抵抗の下限は、スペーサ20の形状とスペーサ20間に印加される電圧により左右されるが、10の7乗[Ω/□]以上であることが好ましい。

【0160】スペーサ基体21に形成された高抵抗膜2

2の厚み:  $t$  は、 $10\text{ nm} \sim 1\text{ }\mu\text{m}$  の範囲が望ましい。因みに、このスペーサ基体21の材料の表面エネルギーおよびスペーサ基体21との密着性や基板温度によっても異なるが、一般的に $10\text{ nm}$ 以下の薄膜は、島状に形成され抵抗が不安定で再現性に乏しい。また、膜厚:  $t$  が $1\text{ }\mu\text{m}$ 以上では膜応力が大きくなつて、膜はがれの危険性が高まり、かつ、成膜時間が長くなるため生産性が悪い。

【0161】したがつて、本発明では、膜厚が $50 \sim 500\text{ nm}$ であることが望ましい。表面抵抗は $\rho / t$  であり、以上に述べた表面抵抗と膜厚:  $t$  との好ましい範囲から、高抵抗膜22の比抵抗 $\rho$ は、 $10\text{ }[\Omega \cdot \text{cm}]$  ないし $10\text{ の }10\text{ 乗 }[\Omega \cdot \text{cm}]$  が好ましい。更に、表面抵抗と膜厚:  $t$  のより好ましい範囲を実現するためには、 $\rho$  は $10\text{ の }4\text{ 乗} \text{ ないし } 10\text{ の }8\text{ 乗 }[\Omega \cdot \text{cm}]$  とするのがよい。

【0162】スペーサ20は、上述したように高抵抗膜22を電流が流れるこつにより、あるいは表示パネル100全体が動作中に発熱することで温度が上昇する。この高抵抗膜22の抵抗温度係数が大きな負の値であると、温度が上昇したときに抵抗値が減少し、スペーサ20に流れる電流が増加して温度が上昇する。しかもこの電流は、電源の限界を超えるまで増加する。このような電流の暴走が発生する抵抗温度係数の値は、経験的に絶対値が $-1\%$ 以下である。即ち、本発明では、スペーサ20の高抵抗膜22の抵抗温度係数は、 $-1\%$ より大きいことが望ましい。

【0163】このような帶電抑制の効果を有する高抵抗膜22の材料としては、例えば、金属酸化物を用いることができ、特に、金属酸化物の中でも、クロム、ニッケル、銅の酸化物が好ましい材料である。その理由は、これらの酸化物では、二次電子放出効率が比較的小さく、電子放出素子102から放出された電子がスペーサ20に当たつた場合でも、帶電し難いためである。なお、金属酸化物以外にも、炭素は二次電子放出効率が小さく好ましい材料である。特に、非晶質カーボンは高抵抗であるため、スペーサ20の抵抗を所望の値に制御し易い。

【0164】高抵抗膜22の他の材料として、アルミニウムと遷移金属合金の窒化物が挙げられるが、これは遷移金属の組成を調整することにより、良伝導体から絶縁体まで広い範囲に抵抗値を制御できるので、好適な材料である。これは、後述する表示装置の作製工程において、抵抗値の変化が少なく安定な材料であり、かつ、その抵抗温度係数が $-1\%$ より大であり、実用的に使いやすい材料だからである。なお、遷移金属元素としてはTi, Cr, Taなどが挙げられる。

【0165】合金窒化膜は、スパッタ、窒素ガス雰囲気中の反応性スパッタ、電子ビーム蒸着、イオンプレーティング、イオンアシスト蒸着法などの薄膜形成手段により、絶縁性部材上に形成される。金属酸化膜も同様の

薄膜形成法で作製することができるが、この場合、窒素ガスに代えて酸素ガスを使用する。その他、CVD法、アルコキシド塗布法でも金属酸化膜を形成できる。カーボン膜は、蒸着法、スパッタ法、CVD法、プラズマCVD法で形成され、特に、非晶質カーボンを形成する場合には、成膜中の雰囲気に水素が含まれるようにするか、成膜ガスに炭化水素ガスを用いるのがよい。

【0166】スペーサ20の端面を構成する低抵抗膜25は、高抵抗膜22を高電位側のフェースプレート107（メタルバック109など）および低電位側の基板101（配線103、104など）とを接続するために設けられたものである。なお、低抵抗膜25は、以下に列挙する複数の機能を有する。

【0167】1) 高抵抗膜22を、フェースプレート107と基板101に接続する。既に記載したように、高抵抗膜22は、スペーサ20表面の帶電を防止する目的で設けられたものであるが、高抵抗膜22をフェースプレート107（メタルバック109など）と基板101（配線103、104など）に直接、あるいは、当接材110を介して接続した場合、接続部の界面に大きな接触抵抗が発生し、スペーサ20の表面に発生した電荷を確実に除去できなくなる可能性がある。したがつて、これを避けるために、低抵抗膜25を設けた。

【0168】2) 高抵抗膜22の電位分布を均一化する。電子放出素子102より放出された電子は、フェースプレート107と基板101の間に形成された電位分布に従つて電子軌道を成す。スペーサ20の近傍で電子軌道が乱れないようにするために、高抵抗膜22の電位分布を全域に亘つて制御する必要がある。高抵抗膜22をフェースプレート107（メタルバック109など）および基板101（配線103、104など）に直接、あるいは、当接材110を介して接続した場合には、接続部の界面の接触抵抗のために接続状態のむらが発生し、高抵抗膜22の電位分布が所望の値からずれる可能性がある。

【0169】これを避けるために、スペーサ20がフェースプレート107および基板101と当接するスペーサの端面24に低抵抗膜25を設ける。この低抵抗膜25に所望の電位を印加することによって、高抵抗膜22全体の電位を制御可能とした。

【0170】3) 放出電子の軌道を制御する。電子放出素子102より放出された電子は、フェースプレート107と基板101の間に形成された電位分布に従つて電子軌道を成す。スペーサ20近傍の電子放出素子102から放出された電子に関しては、スペーサ20を設置することに伴う制約（配線、素子位置の変更など）が生じる場合がある。このような場合、歪みやむらのない画像を形成するためには、放出された電子の軌道を制御して、フェースプレート107上の所望の位置に電子を照射する必要がある。フェースプレート107および基板

101と当接する面に低抵抗膜を設けることにより、スペーサ20の電位分布に所望の特性を持たせ、放出された電子の軌道を制御することもできる。

【0171】低抵抗膜25は、高抵抗膜22に比べて十分に低い抵抗値を有する材料を選択すればよく、Ni, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pdなどの金属、あるいは合金、および、Pd, Ag, Au, RuO<sub>2</sub>, Ag-PbOなどの金属や金属酸化物とガラスなどから構成される印刷導体、あるいは、SnO<sub>2</sub>微粒子をSbなどでドーピングした導電性微粒子を、シリカまたは酸化珪素の末端をアルキル、アルコキシ、フッ素などで置換したバインダーに分散させた導電性微粒子分散膜、または、In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>などの透明導体およびポリシリコンなどの半導体材料より適宜選択される。

【0172】接合材110は、スペーサ20が行方向配線103およびメタルパック109と接続されるように、導電性とする必要がある。即ち、接合材110には、導電性接着材や金属粒子や導電性フィラーを添加したフリットガラスが好適である。

【0173】以上説明した画像表示装置（表示パネル100）では、容器外端子Dx1～DxM, Dy1～DyNを通じて、各電子放出素子102に電圧を印加すると、それらの電子放出素子102から電子が放出される。それと同時に、メタルパック109に容器外端子Hvを介して、数百Vないし数kVの電圧を印加して、放出された電子をフェースプレート107方向に加速し、このフェースプレート107の内面に衝突させる。これにより、蛍光膜108の各色の蛍光体が励起されて発光し、画像が表示される。

【0174】通常、電子放出素子（冷陰極素子）である本実施の形態の表面伝導型放出素子102への印加電圧は、12～16V程度、メタルパック109と冷陰極素子102との距離：dは、0.1mmから8mm程度、メタルパック109と冷陰極素子102間の電圧は0.1kVから10kV程度である。

【0175】以上、本実施の形態の画像表示装置（表示パネル100）の基本構成と製法を説明したが、次に、この実施の形態の表示パネル100に用いたマルチ電子源の製造方法について説明する。この実施の形態の画像表示装置において用いるマルチ電子源は、冷陰極素子を単純マトリクス配線した電子源であれば、冷陰極素子の材料、形状あるいは製法に制限はない。

【0176】したがって、例えば表面伝導型放出素子、FE型あるいはMIM型などの冷陰極素子を用いることができる。但し、表示画面が広くてしかも安価な表示装置が求められるので、これらの冷陰極素子のなかでも表面伝導型放出素子が特に好ましい。

【0177】即ち、FE型では、エミッタコーンとゲート電極の相対位置や形状が電子放出特性を大きく左右す

るため、極めて高精度の製造技術を要し、これが、大面積化や製造コストの低減を図るうえで障害となる。また、MIM型では、絶縁層と上電極の膜厚を薄くてしかも均一にする必要があるが、これも、大面積化や製造コストの低減の障害となる。その点、表面伝導型放出素子は、比較的製造方法が単純なために、大面積化や製造コストの低減が容易である。

【0178】また、本願発明者らは、表面伝導型放出素子のなかでも、電子放出部もしくはその周辺部を微粒子膜から形成したものがとりわけ電子放出特性に優れ、しかも、製造が容易であることを見いだしている。したがって、表面伝導型放出素子は、高輝度で大画面の画像表示装置のマルチ電子源に用いるには、最も好適である。

【0179】そこで、この実施の形態の表示パネル100においては、電子放出部もしくはその周辺部を微粒子膜から形成した表面伝導型放出素子を用いた。そこで、まず、好適な表面伝導型放出素子について基本的な構成と製法および特性を説明し、次に、多数の素子を単純マトリクス配線したマルチ電子源の構造について述べる。

（表面伝導型放出素子の好適な素子構成と製法）電子放出部もしくはその周辺部を微粒子膜から形成する表面伝導型放出素子の代表的な構成には、平面型と垂直型の2種類があげられる。

#### 【0180】平面型の表面伝導型放出素子

図22は、平面型の表面伝導型放出素子の構成を説明するための平面図（a）と断面図（b）である。図中、101は基板、112, 113は素子電極、114は導電性薄膜、115は通電フォーミング処理により形成した電子放出部、111は通電活性化処理により形成した薄膜である。

【0181】基板101としては、例えば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミニナをはじめとする各種セラミクス基板、あるいは、上述の各種基板上に例えばSiO<sub>2</sub>を材料とする絶縁層を積層した基板などを用いることができる。

【0182】また、基板101上に基板面と平行に対向して設けられた素子電極112, 113は、導電性の材料によって形成されている。例えば、Ni, Cr, Au, Mo, W, Pt, Ti, Cu, Pd, Agなどをはじめとする金属、あるいは、これらの金属の合金、更に、In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>をはじめとする金属酸化物、ポリシリコンなどの半導体などのなかから適宜材料を選択して用いればよい。電極を形成するには、例えば、真空蒸着などの膜技術とフォトリソグラフィー、エッチングなどのパターニング技術とを組み合わせて用いれば容易に形成できるが、それ以外の方法（例えば、印刷技術）を用いてもよい。

【0183】素子電極112, 113の形状は、この電子放出素子の応用目的に合わせて適宜設計される。一般的には、電極間隔しが、通常、数百オングストロームか

ら数百マイクロメータの範囲から適当な数値を選んで設計されるが、なかでも表示装置に応用するために好ましいのは、数マイクロメータから数十マイクロメータの範囲である。また、素子電極の厚さ：dは、通常、数百オングストロームから数マイクロメータの範囲から適当な数値が選ばれる。

【0184】また、導電性薄膜114には、微粒子膜を用いる。ここで、微粒子膜とは、構成要素として多数の微粒子を含んだ膜（島状の集合体も含む）のことを指す。微粒子膜を微視的に調べれば、通常、個々の微粒子が離間して配置された構造か、微粒子が互いに隣接した構造か、あるいは微粒子が互いに重なり合った構造かが観測される。

【0185】微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、なかでも好ましいのは、10オングストロームから200オングストロームの範囲のものである。

【0186】また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。即ち、素子電極112、113と良好に接続するのに必要な条件及び後述する通電フォーミングを良好に行うのに必要な条件並びに微粒子膜自身の電気抵抗を後述する適宜の値にするために必要な条件などである。具体的には、その膜厚を数オングストロームから数千オングストロームの範囲のなかで設定するが、中でも好ましいのは、10オングストロームから500オングストロームの間である。

【0187】また、微粒子膜を形成するのに用いられる材料としては、例えば、Pd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pbなどをはじめとする金属や、PdO、SnO<sub>2</sub>、In<sub>2</sub>O<sub>3</sub>、PbO、Sb<sub>2</sub>O<sub>3</sub>などをはじめとする酸化物や、HfB<sub>2</sub>、ZrB<sub>2</sub>、LaB<sub>6</sub>、CeB<sub>6</sub>、YB<sub>6</sub>、GdB<sub>4</sub>などをはじめとする硼化物や、TiC、ZrC、HfC、TaC、SiC、WCなどをはじめとする炭化物や、TiN、ZrN、HfNなどをはじめとする窒化物や、Si、Geなどをはじめとする半導体およびカーボンなどが挙げられ、これらの中から適宜選択される。

【0188】以上述べたように、導電性薄膜114を微粒子膜で形成したが、そのシート抵抗値については、10の3乗から10の7乗[Ω/□]の範囲に含まれるよう設定した。

【0189】なお、導電性薄膜114と素子電極112、113とは、良好に接続されるのが望ましいため、互いの一部が重なり合う構造となっている。その重なり方は、図22の例において、下から、基板、素子電極、導電性薄膜の順序で積層している。しかし、場合によっては、下から基板、導電性薄膜、素子電極の順序で積層してもよい。

【0190】また、電子放出部115は、導電性薄膜114の一部に形成された亀裂状の部分であり、周囲の導電性薄膜よりも高抵抗性質を有している。この亀裂は、導電性薄膜114に対して、後述する通電フォーミングの処理を行うことで形成される。亀裂内には、数オングストロームから数百オングストロームの粒径の微粒子を配置する場合がある。なお、実際の電子放出部の位置や形状を精密かつ正確に図示するのは困難であるから、図22においては模式的に示している。

【0191】また、薄膜111は、炭素もしくは炭素化物よりなる薄膜で、電子放出部115およびその近傍を被覆している。この薄膜111は、通電フォーミング処理後に後述する通電活性化の処理を行うことで形成する。

【0192】薄膜111は、単結晶グラファイト、多結晶グラファイト、非晶質カーボンのいずれかか、もしくはその混合物であり、膜厚は500[オングストローム]以下とするが、特に300[オングストローム]以下とするのが更に好ましい。

【0193】なお、実際の薄膜111の位置や形状を精密に図示するのが困難であるから、図22においては模式的に示している。また、その平面図(a)においては、薄膜111の一部を除去した素子を図示した。

【0194】以上、好ましい素子の基本構成を述べたが、実施の形態においては、以下のような素子を用いた。即ち、基板101には青板ガラスを用い、素子電極112、113にはNi薄膜を用いた。素子電極の厚さ：dは1,000[オングストローム]、電極間隔Lは2[マイクロメータ]とした。また、微粒子膜の主要材料として、PdもしくはPdOを用い、微粒子膜の厚さは約100[オングストローム]、幅：Wは100[マイクロメータ]とした。

【0195】次に、平面型の表面伝導型放出素子の好適な製造方法について説明する。図23の(a)～(e)は、表面伝導型放出素子の製造工程を説明するための断面図で、各部材の符号は図22と同一である。

【0196】1)まず、図23の(a)に示すように、基板101上に素子電極112、113を形成する。これらを形成する際には、予め、基板101を洗剤、純水、有機溶剤を用いて十分に洗浄し、その後、素子電極の材料を堆積させる（堆積する方法としては、例えば、蒸着法やスパッタ法などの真空成膜技術を用ればよい）。その後、堆積した電極材料をフォトリソグラフィー・エッチング技術を用いてパターニングし、一対の素子電極(112、113)を形成する。

【0197】2)次に、図23の(b)に示すように、導電性薄膜114を形成する。この導電性薄膜114を形成する際には、まず、図23の(a)で示した基板101に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグラフィー・

エッティングにより所定の形状にパターニングする。

【0198】ここで、有機金属溶液とは、導電性薄膜に用いる微粒子の材料を主要元素とする有機金属化合物の溶液である（具体的には、この実施の形態で、主要元素としてPdを用いた。また、実施の形態では、塗布方法として、ディッピング法を用いたが、それ以外の例えはスピナー法やスプレー法を用いてもよい）。

【0199】また、微粒子膜で作られる導電性薄膜114の成膜方法としては、この実施の形態で用いた有機金属溶液の塗布による方法以外の例えは真空蒸着法やスパッタ法、あるいは化学的気相堆積法などを用いる場合もある。

【0200】3) 次に、図23の(c)に示すように、フォーミング用電源116から素子電極112、113の間に適宜の電圧を印加し、通電フォーミング処理を行って電子放出部115を形成する。通電フォーミング処理とは、微粒子膜で作られた導電性薄膜114に通電して、その一部を適宜に破壊、変形、もしくは変質させ、電子放出に好適な構造に変化させる処理のことである。微粒子膜で作られた導電性薄膜の内、電子放出を行うのに好適な構造に変化した部分（即ち電子放出部115）には、薄膜に適当な亀裂が形成されている。

【0201】なお、電子放出部115が形成される前と比較すると、形成後は素子電極112、113の間で計測される電気抵抗は大幅に増加する。

【0202】通電方法をより詳述するために、図24に、フォーミング用電源116から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜をフォーミングする場合には、パルス状の電圧が好ましく、この実施の形態では、パルス幅T1の三角波パルスをパルス間隔T2で連続的に印加した。その際には、三角波パルスの波高値Vpfを順次昇圧した。また、電子放出部115の形成状況をモニタするためのモニタパルスPmを、適宜の間隔で三角波パルスの間に挿入し、その際に流れる電流を電流計117で計測した。

【0203】この実施の形態においては、例えは、10のマイナス3乗[Pa]程度の真空雰囲気下において、例えは、パルス幅:T1を1[ミリ秒]、パルス間隔:T2を10[ミリ秒]とし、波高値:Vpfを1パルスごとに0.1[V]ずつ昇圧した。そして、三角波を5パルス印加するたびに1回の割りでモニタパルスPmを挿入した。また、フォーミング処理に悪影響を及ぼすことがないように、モニタパルスの電圧:Vpmは0.1[V]に設定した。そして、素子電極112、113間の抵抗が $1 \times 10$ の6乗[Ω]になった段階、即ち、モニタパルス印加時に電流計117で計測される電流が $1 \times 10$ のマイナス7乗[A]以下になった段階で、フォーミング処理の通電を終了した。

【0204】なお、上記の方法は、この実施の形態の表面伝導型放出素子に関する好ましい方法であり、例え

ば、微粒子膜の材料や膜厚あるいは素子電極間隔：しなど、表面伝導型放出素子の設計を変更した場合には、それに応じて通電の条件を適宜変更するのが望ましい。

【0205】4) 次に、図23の(d)に示すように、活性化用電源118から素子電極112、113との間に適宜の電圧を印加し、通電活性化処理を行って電子放出特性を改善する。この通電活性化処理とは、通電フォーミング処理により形成された電子放出部115に適宜の条件で通電して、その近傍に炭素もしくは炭素化合物を堆積させる処理のことである（図においては、炭素もしくは炭素化合物よりなる堆積物を、部材111として模式的に示した）。なお、通電活性化処理を行うことにより、行う前と比較して同じ印加電圧における放出電流を典型的には100倍以上に増加させることができる。

【0206】具体的には、10のマイナス2乗ないし10のマイナス3乗[Pa]の範囲の真空雰囲気中で、活性化用電源118から素子電極112、113の間に電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物111は、単結晶グラファイト、多結晶グラファイト、非晶質カーボンのいずれかか、もしくはその混合物であり、膜厚は500[オングストローム]以下、より好ましくは300[オングストローム]以下である。

【0207】この通電方法をより詳述するために、図25の(a)に、活性化用電源118から印加する適宜の電圧波形の一例を示す。なお、この実施の形態においては、一定電圧の矩形波を定期的に印加したが、具体的には、矩形波の電圧:Vacは14[V]、パルス幅:T3は1[ミリ秒]、パルス間隔:T4は10[ミリ秒]とした。なお、上述の通電条件は、この実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0208】図23の(d)に示す符号119は、この表面伝導型放出素子から放出される放出電流Ieを捕捉するためのアノード電極で、直流高電圧電源121と電流計122が接続されている。なお、基板101を表示パネル100の中に組み込んでから活性化処理を行う場合には、表示パネル100の蛍光面をアノード電極119として用いる。活性化用電源118から電圧を印加する間、電流計122で放出電流:Ieを計測して、通電活性化処理の進行状況をモニタし、活性化用電源118の動作を制御する。

【0209】電流計122で計測された放出電流Ieの一例を、図25の(b)に示す。ここでは、活性化電源118からパルス電圧を印加しはじめると、時間の経過とともに放出電流Ieが増加するが、やがて飽和する。この放出電流Ieがほぼ飽和した時点で、活性化用電源118からの電圧印加を停止し、通電活性化処理を終了

する。

【0210】なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0211】以上のようにして、図23の(e)に示す平面型の表面伝導型放出素子を製造した。

【0212】2) 垂直型の表面伝導型放出素子

次に、電子放出部もしくはその周辺を微粒子膜から形成した表面伝導型放出素子のもう一つの代表的な構成、即ち、垂直型の表面伝導型放出素子の構成について説明する。図26は、垂直型の基本構成を説明するための模式的な断面図であり、図中の101は基板、132、133は素子電極、136は段差形成部材、134は微粒子膜を用いた導電性薄膜、135は通電フォーミング処理により形成した電子放出部、131は通電活性化処理により形成した薄膜である。

【0213】この垂直型が先に説明した平面型と異なる点は、素子電極の内片方(132)が段差形成部材136上に設けられており、導電性薄膜134が段差形成部材136の側面を被覆している点にある。したがって、図22の平面型における素子電極間隔:Lは、垂直型においては段差形成部材136の段差高:L<sub>s</sub>として設定される。なお、基板101、素子電極132、133と微粒子膜を用いた導電性薄膜134については、平面型の説明中に列挙した材料を同様に用いることが可能である。また、段差形成部材136には、例えば、SiO<sub>2</sub>のような絶縁性の材料を用いる。

【0214】次に、垂直型の表面伝導型放出素子の製法について説明する。図27(a)～(f)は、製造工程を説明するための断面図で、各部材の表記は図26と同一である。

【0215】1. まず、図27の(a)に示すように、基板101上に素子電極133を形成する。

【0216】2. 次に、図27の(b)に示すように、段差形成部材136を形成するための絶縁層を積層する。この絶縁層は、例えば、SiO<sub>2</sub>をスパッタ法で積層すればよいが、例えば、真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

【0217】3. 次に、図27の(c)に示すように、絶縁層の上に素子電極132を形成する。

【0218】4. さらに、図27の(d)に示すように、絶縁層の一部を、例えばエッチング法を用いて除去して素子電極133を露出させる。

【0219】5. 次に、図27の(e)に示すように、微粒子膜を用いた導電性薄膜134を形成する。この薄膜を形成するには、平面型の場合と同じく、例えば、塗布法などの成膜技術を用いればよい。

【0220】6. 次に、平面型の場合と同じく、通電フォーミング処理を行い、電子放出部を形成する(図23

の(c)を用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい)。

【0221】7. 次に、平面型の場合と同じく、通電活性化処理を行い、電子放出部近傍に炭素もしくは炭素化合物を堆積させる(図23の(d)を用いて説明した平面型の通電活性化処理と同様の処理を行えばよい)。以上のようにして、図27の(f)に示す垂直型の表面伝導型放出素子を製造した。

【0222】3) 表示装置に用いた表面伝導型放出素子の特性

以上、平面型と垂直型の表面伝導型放出素子について素子構成と製法を説明したが、次に表示装置に用いた素子の特性について述べる。図28は、この実施の形態の表示装置に用いた表面伝導型放出素子の(放出電流:I<sub>e</sub>)対(素子印加電圧:V<sub>f</sub>)の特性、および、(素子電流:I<sub>f</sub>)対(素子印加電圧:V<sub>f</sub>)の特性の典型的な例を示す図である。なお、放出電流:I<sub>e</sub>は素子電流:I<sub>f</sub>に比べて著しく小さく、同一尺度で図示するのが困難である上、これらの特性は、素子の大きさや形状などの設計パラメータを変更することにより変化するものであるため、2つのグラフは各々任意単位で図示した。

【0223】この表示装置に用いた表面伝導型放出素子は、放出電流:I<sub>e</sub>に関して、以下に述べる3つの特性を有している。第1の特性は、ある電圧(閾値電圧:V<sub>th</sub>)以上の大きさの電圧を素子に印加すると急激に放出電流:I<sub>e</sub>が増加するが、一方、閾値電圧:V<sub>th</sub>未満の電圧では、放出電流:I<sub>e</sub>はほとんど検出されないことがある。即ち、放出電流:I<sub>e</sub>に関して明確な閾値電圧:V<sub>th</sub>の非線形素子である。

【0224】また、第2の特性は、放出電流:I<sub>e</sub>が素子に印加する電圧:V<sub>f</sub>に依存して変化するため、電圧:V<sub>f</sub>で放出電流:I<sub>e</sub>を制御できることである。

【0225】さらに、第3の特性は、素子に印加する電圧:V<sub>f</sub>に対して素子から放出される電流:I<sub>e</sub>の応答速度が速いため、電圧:V<sub>f</sub>を印加する時間の長さによって、素子から放出される電子の電荷量を制御できることである。

【0226】以上のような特性を有するため、この実施の形態の表面伝導型放出素子を画像表示装置に好適に用いることができた。例えば、多数の素子を表示画面の画素に対応させた画像表示装置において、上述の第1の特性を利用すれば、表示画面を順次走査して表示することが可能である。即ち、駆動中の素子には、所望の発光輝度に応じて閾値電圧:V<sub>th</sub>以上の電圧を適宜印加し、非選択状態の素子には、閾値電圧:V<sub>th</sub>未満の電圧を印加する。こうして、駆動する素子を順次切り替えることにより、表示画面を順次走査して表示することが可能となる。

【0227】また、第2の特性または第3の特性を利用することにより、発光輝度を制御することができるた

め、階調表示を行うことが可能である。

【0228】これら表面伝導型放出素子を基板上に配列して、単純マトリクス配線したマルチ電子源の構造は、前述の図18および図19に示すとおりである。

【0229】次に、図29を参照して、この実施の形態の表面伝導型放出素子を配列した表示パネル100を含む画像表示装置の構成について説明する。図29において、表示パネル100は、表示パネル100内の行配線と接続された行配線端子Dx1～DxMと列配線端子Dy1～DyNを介して、外部の駆動回路に接続されている。

【0230】このうち、行配線端子Dx1～DxMには、この表示パネル100に設けられているマルチ電子源、即ち、M行・N列のマトリクス状に配線された表面伝導型放出素子を1行ずつ順次選択して駆動するための走査信号が、走査回路142から入力される。

【0231】一方、列配線端子Dy1～DyNには、走査回路142から行配線に印加された走査信号により選択された、一行の表面伝導型放出素子の各素子から放出される電子を入力された映像信号に応じて制御するための変調信号が印加される。

【0232】制御回路143は、外部より入力される映像信号に基づいて適切な表示が行われるように、各部の動作タイミングを整合させる働きを持つ。ここで、外部より入力される映像信号140には、例えば、NTSC信号のように、画像データと同期信号が複合されている場合と、予め両者が分離されている場合とがあるが、この実施の形態では後者の場合で説明する。

【0233】なお、前者の映像信号に対しては、よく知られる同期分離回路を設けて画像データと同期信号Tsyncとを分離し、画像データをシフトレジスタ144に、同期信号を制御回路143に入力すれば、この実施の形態と同様に扱うことが可能である。

【0234】ここで、制御回路143は、外部より入力される同期信号Tsyncに基づいて、各部に対して水平同期信号:Tscan、ラッチ信号:Ttry、シフト信号:Tsftなどの各制御信号を発生する。

【0235】外部より入力される映像信号に含まれる画像データ（輝度データ）は、シフトレジスタ144に入力される。このシフトレジスタ144は、時系列的にシリアルに入力される画像データを画像の1ラインを単位として、シリアル/パラレル変換するためのもので、制御回路143より入力される制御信号（シフト信号）Tsftに同期して、画像データをシリアルに入力して保持する。こうして、シフトレジスタ144でパラレル信号に変換された1ライン分の画像データ（電子放出素子N素子分の駆動データに相当）は、並列信号Id1～IdNとしてラッチ回路145に出力される。

【0236】ラッチ回路145は、1ライン分の画像データを必要時間の間だけ記憶して保持するための記憶回路であり、制御回路143より送られる制御信号Ttry

に従って、並列信号Id1～IdNを記憶する。こうして、ラッチ回路145に記憶された画像データは、並列信号I'd1～I'dNとしてパルス幅変調回路146に出力される。すると、このパルス幅変調回路146は、これら並列信号I'd1～I'dNに応じて、一定の振幅（電圧値）で、画像データ（I'd1～I'dN）に応じたパルス幅を変調した電圧信号をI#34d1～I#34dNとして出力する。

【0237】具体的には、このパルス幅変調回路146は、画像データの輝度レベルが大きい程パルス幅の広い電圧パルスを出力するもので、例えば、最大輝度に対して30μ秒、最低輝度に対して0.12μ秒となり、かつ、その振幅が7.5[V]の電圧パルスを出力する。この出力信号I#34d1～I#34dNは、表示パネル100の列配線端子Dy1～DyNに印加される。

【0238】また、表示パネル100の高圧端子Hvには、加速電圧源109から、例えば5kVの直流電圧Vaが印加される。

【0239】次に、走査回路142について説明する。この走査回路142は、内部にM個のスイッチング素子を備えるもので、各スイッチング素子は、直流電圧源Vxの出力電圧もしくは0[V]（グランドレベル）のいずれか一方を選択し、表示パネル100の端子Dx1ないしDxMに接続するものである。これらスイッチング素子の切換えは、制御回路143が出力する制御信号Tscanに基づいて行われるが、実際には、例えばFETのようなスイッチング素子を組合せることにより容易に構成することが可能である。

【0240】なお、直流電圧源Vxは、図28に示した電子放出素子の特性に基づき、走査されていない素子に印加される駆動電圧が電子放出しきい値電圧:Vth電圧以下となるように、一定電圧を出力するような設定がされている。また、制御回路143は、外部より入力する画像信号に基づいて適切な表示が行なわれるよう、各部の動作を整合させる働きをもつ。

【0241】なお、シフトレジスタ144やラインメモリ（ラッチ回路）145は、デジタル信号式のものでもアナログ信号式のものでも採用できる。即ち、画像信号のシリアル/パラレル変換や記憶が所定の速度で行われればよいからである。

【0242】このような構成の本実施の形態の画像表示装置においては、各電子放出素子に対して、容器外端子Dx1～DxM、Dy1～DyNを介して電圧を印加することにより電子放出が生じる。また、高圧端子Hvを介して、メタルバック109あるいは透明電極（図示せず）に高電圧を印加して電子ビームを加速する。この加速された電子が蛍光膜108に衝突し、発光して画像が形成される。

【0243】ここで述べた画像表示装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の思想に基づいて種々の変形が可能である。なお、入力信号

についてはNTSC方式を挙げたが、これに限るものではなく、PAL、SECAM方式などの他、これらより多数の走査線からなるTV信号（MUSE方式をはじめとする高品位TV）方式をも採用できる。

## 【0244】

【実施例】以下、本発明の具体的な実施例を挙げて更に詳述する。以下に述べる各実施例においては、マルチ電子源として、前述した電極間の導電性微粒子膜に電子放出部を有する表面伝導型放出素子をN×M個（N=3072、M=1024）、M本の行方向配線とN本の列方向配線とによりマトリクス状に配線（図17を参照）したマルチ電子源を用いた。

【0245】（実施例1）実施例1で用いるスペーサ20は、図2の(b)に示すように、スペーサ20に対する基板形状加工工程、マスク層形成・結束処理、マスク層バターニング、低抵抗膜形成およびマスク層除去工程の手順で作成した。図30は、これらの手順におけるスペーサ母材基体を各ステップ毎に模式的に示している。

【0246】ここでは、フェースプレートおよびリアプレートと同質のソーダライムガラスをスペーサ母材とし、図13に示した加熱延伸法により、断面形状として図9の(b)および図10の(b)に示すようなスペーサ基体21を得た。なお、図10は、図9の当接部付近の端部の拡大断面図である。

【0247】ここで得られたスペーサ基体21を最終的にスペーサ20とするが、この実施例で作成したスペーサ基体21は、図1に示す高さ：Hが3mm、厚み：Dが0.2mm、長さ：Lが650mmのものであった。また、この実施例で用いたガラス母材91は、図13に示すように、高さ：Hが150mm、厚み：Dが10mmの平板状のソーダライムガラスを用いた。

【0248】また、スペーサ母材91と最終的に得ようとするスペーサ基体21の断面積比が、1:1/2, 500となるように、送り出す手段94、93の送り出し速度V1を4ミクロン/分、引出し速度V2を10mm/分と設定した。この際、ヒータ92による加熱温度は600℃とし、引出し工程後、上記長さ：Lが650mmになるように切断した。なお、本工程は、図2の(b)および図3の(b)の第1の工程に相当する。このとき側面の凹凸は省略してある。

【0249】また、上記加熱延伸法により得られたスペーサ基体21の端面の縁（角部）は、曲率半径：rが0.02mmであった。なお、上記高さ：H、厚み：D、長さ：Lは、図1を用いて説明したものと同じ定義に基づいている。

【0250】スペーサ基体21に対して、以下の手順にてマスク層を被覆した。本工程は図2の(b)の第2の工程に相当する。マスク層の材料として、東京応用化学（株）製：OFPF-800を用いた。マスク層のディッピング法により成膜し、オープンにて90℃、10分

のプリベークをした。次に、140℃、15分間の条件で、ホットプレートにてポストベークをした。最後に、剥離液として、ナガセ産業（株）製：レジストストリップN321を使用してマスク層を除去し、純水にてリーンしこれを乾燥させた。

【0251】次に、平滑なステンレス基板を位置決め部材として用意し、マスク層形成済みのスペーサを100本束ねた。束ねる際に側面を押し当てるバネを具備した治具（図示せず）を用いたが、この治具を途中のハンドリングのための基板ホルダーとしての手段としても用了いた。このときの結束の状態を図5の(a)に示されている（マスク層の被覆は図示していない）。この治具は、後のバターニング工程（図2の(b)の工程：S4）および低抵抗膜形成工程（図2の(b)の工程：S5）が終了するまで結束状態に保持した。

【0252】次に、バターニング工程（図2の(b)の工程：S4）として、平滑処理されたステンレス基板上に#4000番の紙やすりを固定し、その上で前記の結束されたスペーサ群をその当接面が紙やすりに平行となるように当接させた後、スペーサの長手方向について前後に擦りあわせ、端面24の低抵抗膜25が剥離するまで継続した。部分的な剥離処理の後、乾燥窒素でブローを行い、その後、純水でリーンしIPA溶媒で共沸させた後、100℃で乾燥させた。さらに、反対側の端面にも同様な処理を行った。

【0253】次に、低抵抗膜形成工程（図2の(b)の工程：S6）として、以下、図7を参照して、ディッピング法による低抵抗膜25の形成手順を説明する。まず、620mm×200mmの範囲に、深さ：3ミクロンの凹部領域42を形成した750×750×5tの厚板ガラス41を用意した。まず、厚板ガラスを純水、IPA、アセトンで化学洗浄した後、UVオゾン洗浄を施した。

【0254】次に、ステンレス製のドクターブレードを用いて、N.Eケムキャット社（N.E. Chemcat）製の有機金属塩の溶解Ptペースト（粘度：30kcp）を図7の(b)のように薄膜展開した。このとき、展開液43の膜厚は6ミクロンであり、この展開膜上に、図7の(c)～図7の(e)に示すように、スペーサ基体21を650mm×0.2mmの端面の中で、両側に15mmずつ非形成領域を確保するように位置決めし、その端部が展開面に平行となるような状態で垂直に降下させ、接触させた後垂直に引き上げて転写させた。

【0255】これらの展開・浸漬・転写の一連の操作を、反対側の端面に対して再度行った後、120℃で10分間乾燥し、その後600℃で10分間焼成し、低抵抗膜25をスペーサ基体21の上下の面に形成した。

【0256】次に、結束を開放した（図30の(f)を参照）後、マスク層除去工程（図30の(g)を参照）として、以下に示す工程を行った。即ち、剥離液とし

て、ナガセ産業（株）製のレジストストリップN321を使用して、マスク層を除去し、純水にてリンスしたものを乾燥させた。このようにして得られた低抵抗体が形成されたスペーサの端部断面は、図11の（b）に拡大して示されている。

【0257】このとき、低抵抗膜25の表面抵抗は1[Ω/□]であった。この後、スペーサ基体21の表面に、高抵抗膜22として高周波電源で同時に、CrおよびAlのターゲットをスパッタすることにより、Cr-Al合金空化膜を膜厚：200nmに形成した。このときのスパッタガスは、Ar:N2が1:2の混合ガスで、全圧力0.13[Pa]である。上記条件で同時成膜した膜の表面抵抗Rは3×10の9乗[Ω/□]であった。

【0258】なお、これに限らず、本実施例では、その他、種々の高抵抗膜22の材料および製法を使用することが可能である。このようにしてスペーサ20が作成される。

【0259】こうして得られたスペーサ20の低抵抗膜25は、光沢反射が認められる上、スペーサ基体21の端面の低抵抗膜の形状が良好な直線性を有しており、側面への部分的もしくは全体的な低抵抗膜のはみ出しやうねりが認められず、低抵抗膜25の被覆性が良好であった。

【0260】以下、この表示パネル100の製造方法を詳述する。まず、予め、基板101上に行方向配線電極103、列方向配線電極104、電極間絶縁層（図示せず）および表面伝導型放出素子の素子電極112、113と導電性薄膜114とを形成した基板101がリアプレート105に固定される。

【0261】次に、上述のようにして作成されたスペーサ20を、基板101の行方向配線103上に等間隔で行方向配線103と平行に固定した。その後、基板101の約3mm上方に、内面に蛍光膜108とメタルバック109が付設されたフェースプレート107を側壁106を介して配置し、リアプレート105、フェースプレート107、側壁106およびスペーサ20の各接合部を固定した。

【0262】基板101とリアプレート105の接合部とリアプレート105と側壁106の接合部およびフェースプレート107と側壁106の接合部には、それぞれ、フリットガラス（図示せず）を塗布し、大気中で400℃～500℃で10分以上焼成して接合部を封着した。

【0263】また、本実施例では、図17に示すような表示パネルの内部において、電子源基板101上の配線103上にスペーサ20を配置し、フェースプレート107上ではメタルバック109側面上に配置して表示パネル100を作製した。この固定の際、図6に示すように、画像領域外に設けた補助部材29により位置決めと固定を行った。なお、図7において、I-Iを含む断面で

切断した前述のスペーサ基板は、固定部近傍を信号電極方向からみた図6の拡大断面図で示す。

【0264】上記気密容器の封着と同時に、大気中で400℃～500℃で10分以上焼成して接合部を接着するとともに、電気的にも接続した。なお、本実施例において蛍光膜108は、図20の（a）に示すように、各色蛍光体が列方向（Y方向）に延びるストライプ形状を採用し、黒色の導電体1010は、各色蛍光体（R、G、B）間だけでなく、Y方向の各画素間をも分離するように配置されている。

【0265】また、スペーサ20は、行方向（X方向）に平行な黒色の導電体1010（線幅：約300[マイクロメートル]）内にメタルバック109を介して配置された。なお、前述の封着を行う際には、各色蛍光体と基板101上に配置された各素子とを対応させなくてはならないために、リアプレート105とフェースプレート107およびスペーサ20は、相互に十分に位置合わせした。

【0266】以上のようにして、完成した気密容器内を排気管（図示せず）を通じて真空ポンプで排気し、十分な真空中に達した後、容器外端子Dx1～DxMとDy1～DyNを通じ、行方向配線電極103および列方向配線電極104を介して各素子に給電して、前述の通電フォーミング処理と通電活性化処理を行うことによりマルチ電子源を製造した。次に、10のマイナス4乗[Pa]程度の真空中で、排気管（図示せず）をガスバーナで熱することで溶着し、外囲器（気密容器）を封止した。最後に、封止後の真空中を維持するためにゲッター処理を行った。

【0267】このようにして完成した図17に示される表示パネル100を用いた画像表示装置において、各冷陰極素子（表面伝導型放出素子）112には、容器外端子Dx1～DxM、Dy1～DyNを通じて、走査信号及び変調信号をそれぞれ印加することにより、電子を放出させ、メタルバック109には、高圧端子Hvを通じて高圧を印加することにより、放出電子ビームを加速し蛍光膜108に電子を衝突させ、各色蛍光体（図20のR、G、B）を励起・発光することで画像を表示した。

【0268】なお、高圧端子Hvへの印加電圧Vaは、3[kV]～12[kV]の範囲で放電が発生する限界電圧まで印加し、各配線103、104間への印加電圧Viを14[V]とした。その結果、高圧端子Hvへの8kV以上の電圧を印加して連続駆動できた場合に、耐電圧良好と判断した。

【0269】このとき、スペーサ20の近傍で10kVの電圧で駆動するまで放電しなかった。更に、スペーサ20に近い位置にある冷陰極素子112からの放出電子による発光スポットも含め、2次元的に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。これは、スペーサ20を設置しても電子

軌道に影響するような電界の乱れが生じなかつたことを示している。

【0270】(実施例2) 実施例で用いるスペーサ20は、図3の(b)に示すように、スペーサ基体21に対する低抵抗バターニング形成方法として、基板形状加工工程、マスク層形成、結束処理、マスク層バターニング、低抵抗膜形成およびマスク層除去工程の手順で作成した。なお、作成途中の基板の概観を図31の各工程(a)~(g)に示す。ここでは、マスク層のバターニング工程の後で結束処理を行う以外は、基板形状加工の工程、ならびに、前述の実施例1の作成方法と同様にして、スペーサ基体21の端面に低抵抗膜25を形成している。

【0271】実施例1と同様にして、スパッタによる高抵抗膜22を形成してスペーサ20を作成した。

【0272】こうして得られたスペーサ20の低抵抗膜25は、光沢反射が認められる上、スペーサ基体21の端面部の低抵抗膜の形状が良好な直線性を有しており、側面への部分的もしくは全体的な低抵抗膜のはみ出しやうねりが認められず、低抵抗膜25の被覆性が良好であった。

【0273】更に、実施例1と同様に、電子線放出素子を組み込んだリアプレートなどとともに表示パネル100を作成し、実施例1と同条件で高電圧印加および素子駆動を行った。このとき、スペーサ20の近傍で10kVの電圧まで駆動しても放電しなかった。更に、スペーサ20に近い位置にある冷陰極素子112からの放出電子による発光スポットも含め、2次元的に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。これは、スペーサ20を設置しても電子軌道に影響するような電界の乱れが生じなかつたことを示している。

【0274】(実施例3) 本実施例で用いるスペーサ20は、実施例1で作成したスペーサ基体21の代わりに、当接部近傍の形状が図9および図10に示した形状であり凹凸ストライプ構造をその長手方向に有した板状のスペーサ基体21を使用したこと以外は、前述の実施例1の作成方法と同様にして低抵抗膜25を作成した。また、実施例1と同様に、マスク層形成後、マスク層バターニング前の工程で結束工程を行つた。

【0275】このときの結束の状態を図5の(a)の左側に示す(マスク層の被覆は図示しない)。当接部付近には隙間が発生している。そして、実施例1と同様にして、スパッタによる高抵抗膜22を形成してスペーサ20を作成した。

【0276】こうして得られたスペーサ20の低抵抗膜25の部分は、光沢反射が認められる上、スペーサ基体21の端面の低抵抗膜の形状が良好な直線性を有しており、側面への部分的もしくは全体的な低抵抗膜のはみ出しやうねりが認められず、低抵抗膜25の被覆性が良好であった。

【0277】更に、実施例1と同様に、電子線放出素子を組み込んだリアプレートなどとともに表示パネル100を作成し、実施例1と同条件で高電圧印加および素子駆動を行つた。このとき、スペーサ20の近傍で9kV電圧まで駆動しても放電しなかった。更に、スペーサ20に近い位置にある冷陰極素子112からの放出電子による発光スポットも含め、2次元的に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。これは、スペーサ20を設置しても、電子軌道に影響するような電界の乱れが生じなかつたことを示している。

【0278】(実施例4) 本実施例で用いるスペーサ20は、実施例1で作成したスペーサ基体21の代わりに、図12に示すように、直方体形状のスペーサ母材の切削加工により予めサイズ規定したソーダライムガラス基板を得て、これを用い、さらに、図1に示すように、全6面(側面、端面、厚み方向の側面)を研磨処理にて、相互に直角に配置するように研磨したスペーサ基体21とした。

【0279】このスペーサ基体21は、高さ:Hが3mm、厚み:Dが0.2mm、長さ:Lが40mmであった。このスペーサ基体21の端面に、実施例1と同じ作成方法により低抵抗膜25を形成し、更に、実施例1と同様にしてスパッタによる高抵抗膜22を形成して、スペーサ20を作成した。

【0280】こうして得られたスペーサ20の低抵抗膜25の部分は、光沢反射が認められる上、スペーサ基体21の端面の低抵抗膜の形状が良好な直線性を有しており、側面への部分的もしくは全体的な低抵抗膜のはみ出しやうねりが認められず、低抵抗膜25の被覆性が良好であった。

【0281】本実施例では、前述した図17に示すようなスペーサ20を配置した表示パネル100を作製した。以下、この表示パネル100の製造方法を詳述する。まず、予め基板101上に行方向配線電極103、列方向配線電極104、電極間絶縁層(図示せず)および表面伝導型放出素子の素子電極112、113と導電性薄膜114を形成した基板101をリアプレート105に固定した。

【0282】次に、上述のように作成されたスペーサ20を基板101の行方向配線103上に等間隔で、行方向配線103と平行に固定した。その後、基板101の約3mm上方に、内面に蛍光膜108とメタルパック109が付設されたフェースプレート107とを側壁106を介して配置し、リアプレート105、フェースプレート107、側壁106およびスペーサ20の各接合部を固定した。

【0283】基板101とリアプレート105の接合部、リアプレート105と側壁106の接合部、およびフェースプレート107と側壁106の接合部は、フリ

ットガラス（図示せず）を塗布し、大気中で400℃～500℃で10分以上焼成することで封着した。

【0284】また、スペーサ20は、基板101側では、行方向配線103（線幅：約300 [マイクロメートル]）上に、フェースプレート107側では、メタルバック109面上に、導電性のフィラーあるいは金属などの導電材を混合した導電性フリットガラス（図示せず）を介して配置され、上記気密容器の封着と同時に、大気中で400℃～500℃で10分以上焼成することで接着し、かつ接続した。

【0285】作成したスペーサ20をパネル内に配置し、電子線放出素子を組み込んだりアプレートなどとともに表示パネル100を作成し、実施例1と同条件で高電圧印加および素子駆動を行った。このとき、スペーサ20近傍で9kVの電圧まで駆動したが放電しなかった。更に、スペーサ20に近い位置にある冷陰極素子112からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。これは、スペーサ20を設置しても、電子軌道に影響するような電界の乱れが生じなかったことを示している。

【0286】（実施例5）本実施例で用いるスペーサ20は、実施例4で使用したスペーサ基体21の代わりに、前述の加熱延伸法により作成したファイバー状円柱ガラスをスペーサ基体21とした。このスペーサ基体21は、直径：300ミクロン、高さが3mmで、底面と側面は高さ方向に対して直角な面とした。このように、円柱スペーサ基体21を使用したこと、および、結束後にヤスリでマスク層をバーニングするときに、円弧状に擦り合わせを行ったこと以外は、前述の実施例4の作成方法と同様にして、低抵抗膜25を作成した。

【0287】また、実施例4と同様に、マスク層形成後、マスク層バーニング前の工程で結束工程を行った。このときの結束の状態を図5の（b）に示す（マスク層の被覆、および結束治具は図示しない）。スペーサ基体相互の間には、隙間が発生していることを確認した。更に、実施例4と同様にして、スパッタによる高抵抗膜22を形成して、スペーサ20を作成した。

【0288】なお、本実施例において、低抵抗膜が形成された後の端面の状態を図32に示した。こうして得られたスペーサ20の低抵抗膜25の部分は、光沢反射が認められる上、スペーサ基体21の端面部の低抵抗膜の形状が良好な円形を有しており、側面への部分的もしくは全体的な低抵抗膜のはみ出しやうねりが認められず、低抵抗膜25の被覆性は良好であった。

【0289】更に、実施例4と同様に、電子線放出素子を組み込んだりアプレートなどとともに表示パネル100を作成し、実施例4と同条件で高電圧印加および素子駆動を行った。このとき、スペーサ20近傍で9kVの電圧まで駆動したが、放電しなかった。更に、スペーサ

20に近い位置にある冷陰極素子112からの放出電子による発光スポットも含め、2次元的に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラー画像表示ができた。これは、スペーサ20を設置しても電子軌道に影響するような電界の乱れが生じなかったことを示している。

【0290】以上説明したように、本実施の形態により形成される低抵抗膜25は、いずれも作成工程が簡便かつ容易であり、また、得られた低抵抗膜25の電気的接触も良好であり、放電耐圧も良好であるから、電子線による表示品位を向上できる。また、量産性と低コスト性などが求められる作製工程及びこれを使用する電子源に対して特に有効である。

【0291】また、本実施の形態における低抵抗膜25の形成手法として、マスク層バーニング後に低抵抗膜を形成することの効果として、低抵抗膜の形成精度確保の機能を低抵抗膜の基板や低抵抗膜塗工材料などの製膜工程管理に依存することなく、マスク層のバーニング工程に機能分離することが可能となることにより、良好な形状精度を確保することができる。

【0292】また、束ねたときにメニスカスによる液面の這い上がり、および、隙間のあるスペーサの液面の這い上がりがあっても、形成不良部を最終的に残さない効果を有することが挙げられる。したがって、柱状スペーサ、凹凸スペーサなどの結束基体間で、隙間の発生しやすいスペーサ基体への適用が可能である。

【0293】また、マスク層のバーニングを物理的削除手段を用いて実現する効果として、ヤスリ処理などの方法により簡便かつ効率的に行うことができる挙げられる。また、低抵抗形成前にスペーサを束ねること、とりわけ、マスク層バーニング前に束ねることの効果として、低抵抗膜の非形成面をスペーサ基体相互でマスクし、露出面に当接面（即ち、低抵抗膜の形成面）が集中しているため、アライメントが不要で、工程数が低減できる。

【0294】このため、多くの種類のスペーサ基体に低抵抗膜25が、スペーサ基体21の端面と側面で分断されることなく、両面の良好な電気的接触を得るよう形成することができ、電子源としてスペーサを組み込んだときに、スペーサ表面の帶電をフェースプレートおよびアプレートの各基板面に効率的に逃すことができ、また、スペーサ20の長手方向全域に亘り端面24付近の電位を安定的に規定できる。

【0295】また、液相製法を適用することの効果として、真空減圧工程を必要としないため、装置コストを抑えタクトタイムを短縮できる。更に、従来は、排気、減圧、成膜、大気リーク後、低抵抗膜25が準安定状態にあり、不安定な過渡状態で他の部材を成膜することで、低抵抗膜25の剥がれなどの問題が生じることがあり、安定状態に緩和させる必要があったが（これは低抵抗膜

25の構造や表面活性に関係していると思われ、とりわけ、水の脱吸着の安定化に関係すると考えられる）、本発明では、真空工程を経由しない加熱焼成を採用することにより、これらの不安定状態の経由を抑えることができる。また、液相製法のなかでも、とりわけディッピング製法を適用する効果として、原料の利用効率が高いことが挙げられる。

【0296】以上のように、簡便かつ低コストな作成プロセスを得られることが効果として挙げられる。これによって、更に、スペーサおよび電子源の製造コストを低下させ、帯電による発光部の変位が抑えられた表示品位の高い画像表示装置を安価に提供できる。

【0297】

【発明の効果】本発明は、以上詳述したようになり、好適なスペーサの製造方法およびこのスペーサを用いた画像形成装置の製造方法を実現できる。

【図面の簡単な説明】

【図1】本発明に係わるスペーサ基体の実施の形態を示す模式的な斜視図である。

【図2】本発明の一実施の形態におけるスペーサ製造工程の事例を説明する図（ここでは、（a）に工程図、（b）に低抵抗膜形成過程の説明図）である。

【図3】本発明の一実施の形態におけるスペーサ製造工程の別の事例を説明する図（ここでは、（a）に工程図、（b）に低抵抗膜形成過程の説明図）である。

【図4】浸漬により生ずる低抵抗膜形成領域の上昇を説明する模式図である。

【図5】本発明に係わるスペーサ基体の結束状態を示す説明図である。

【図6】本発明の低抵抗膜を形成した長尺のスペーサを、画像形成装置に装着した状態を示す説明図である。

【図7】本発明におけるスペーサ基体への低抵抗膜（電極）の形成方法の一例を示す模式図である。

【図8】本発明に係わる円柱形のスペーサ基体を示す斜視図である。

【図9】本発明の製造法において適用するスペーサ基体の別の事例を示す断面図である。

【図10】同じく、拡大断面図である。

【図11】本発明の製造法を適用する低抵抗膜付きのスペーサ基体の当接部近傍の断面図である。

【図12】素材からのスペーサ母材の切り出しを示す斜視図である。

【図13】本発明の製造法を適用する際の、延伸法を用いたガラス母材からのスペーサ基体の製造過程を示す斜視図である。

【図14】本発明のスペーサの基板を画像形成装置（パネル）に装着した状態の側端面断面図である。

【図15】同じく、高抵抗膜を側面に形成したスペーサの基板を画像形成装置（パネル）に装着した上端の側断面図である。

【図16】同じく、側端面断面図である。

【図17】本発明に係わるスペーサを適用した画像表示装置（パネル）の一部を切り欠いて示した斜視図である。

【図18】同じく、この実施の形態で用いたマルチ電子源の基板の平面図である。

【図19】図18のマルチ電子源の基板の一部断面図である。

【図20】この実施の形態の表示パネルのフェースプレートの蛍光体配列を例示した平面図である。

【図21】図17の表示パネルのA-A断面図である。

【図22】この実施の形態（画像形成装置）で用いた平面型の表面伝導型放出素子の平面図（a）および断面図（b）である。

【図23】同じく、前記表面伝導型放出素子の製造工程を示す断面図である。

【図24】同じく、製造工程での通電フォーミング処理の際の印加電圧波形を示す図である。

【図25】同じく、通電活性化処理の際の印加電圧波形（a）および放電電流  $I_e$  の変化（b）を示す図である。

【図26】この実施の形態（画像形成装置）で用いた垂直型の表面伝導型放出素子の断面図である。

【図27】同じく、前記表面伝導型放出素子の製造工程を示す断面図である。

【図28】同じく、表面伝導型放出素子の典型的な特性を示すグラフ図である。

【図29】本発明に係わる画像表示装置の駆動回路の構成を示すブロック図である。

【図30】本発明に係わるスペーサ基体を模式的に図解して、示したスペーサの製造工程図である。

【図31】同じく、別の手順によるスペーサの製造工程図である。

【図32】本発明の実施の形態における、柱状スペーサを構成を示す斜視図である。

【図33】従来から知られた表面伝導型放出素子の一例を示す図である。

【図34】従来から知られたF E型素子の一例を示す図である。

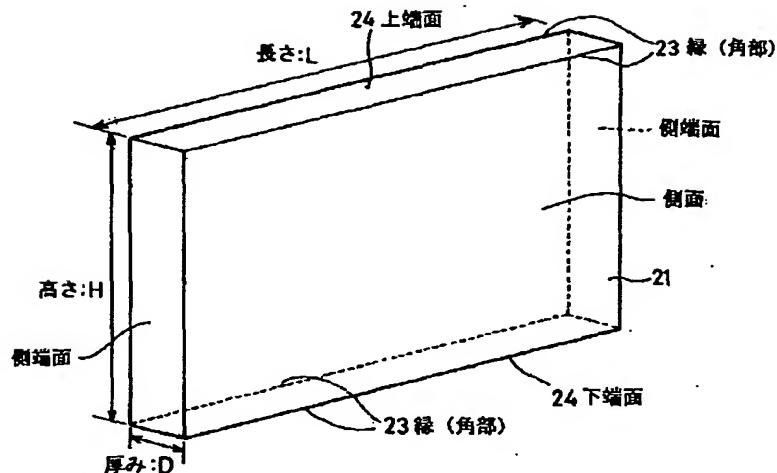
【図35】従来から知られたM I M型素子の一例を示す図である。

【符号の説明】

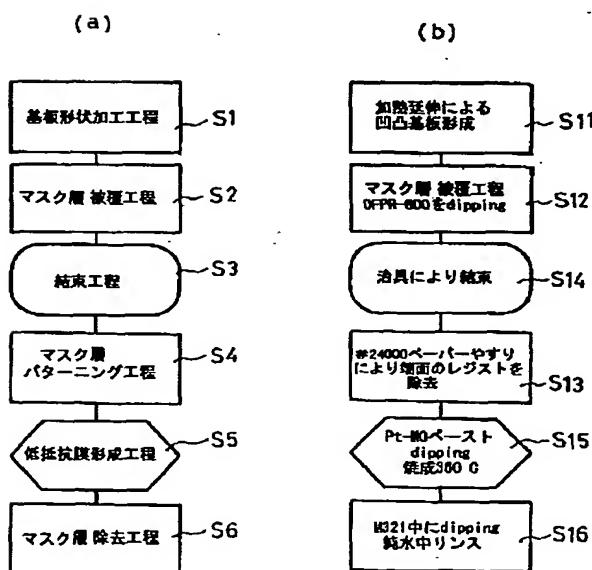
- 1 1、101リアプレート
- 1 7、107フェースプレート
- 2 0スペーサ
- 2 1スペーサ基体
- 2 2高抵抗膜
- 2 3縁（角部）
- 2 4端面（当接面）
- 2 5低抵抗膜

2 6 凹凸	9 1 ガラス母材
4 1 基板	9 2 ヒータ
4 2 溝	9 3、9 4 送り出し手段
4 3 塗工液（低抵抗膜原料）	9 5 切断手段
8 1 母材	1 0 8 蛍光膜
8 2 スペーサ母材	1 0 9 メタルパック

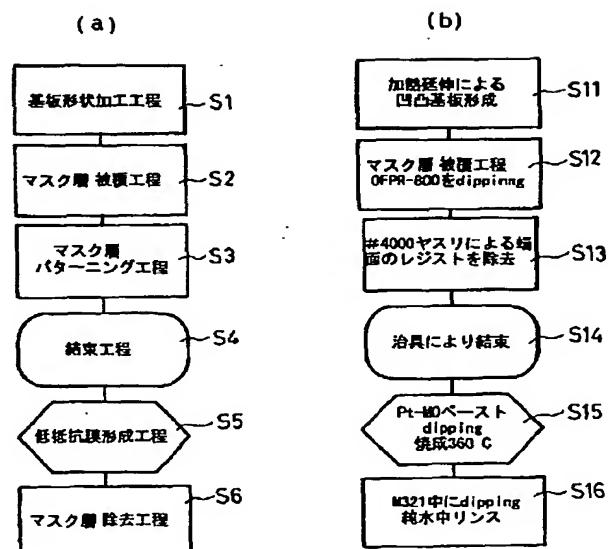
【図1】



【図2】

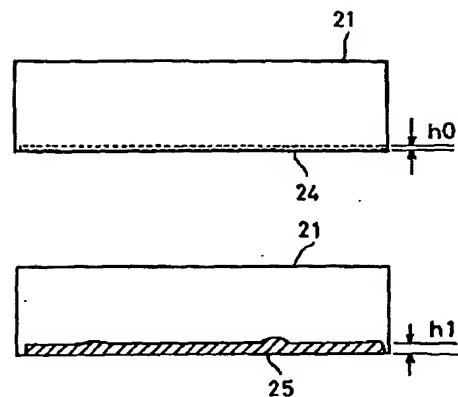


【図3】

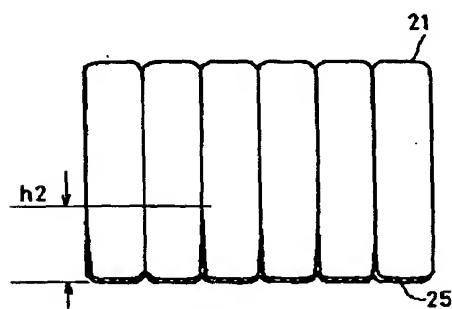


【図4】

(a)

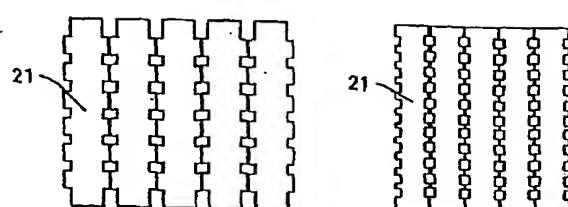


(b)

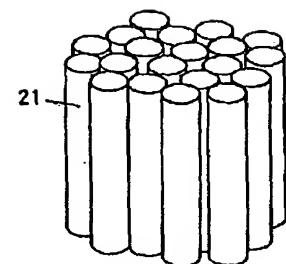


【図5】

(a)

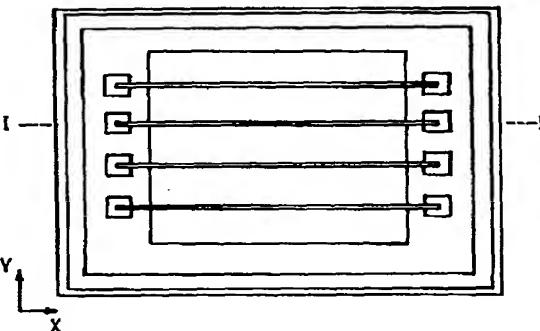


(b)

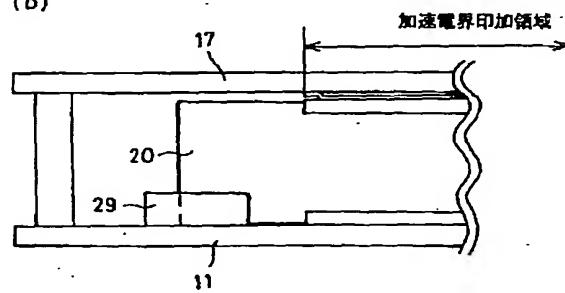


【図6】

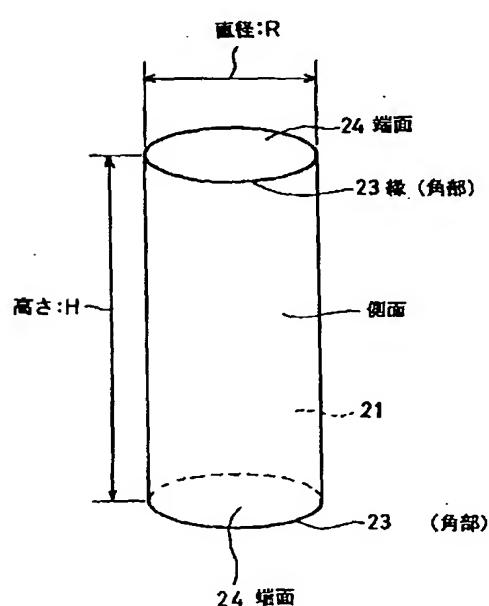
(a)



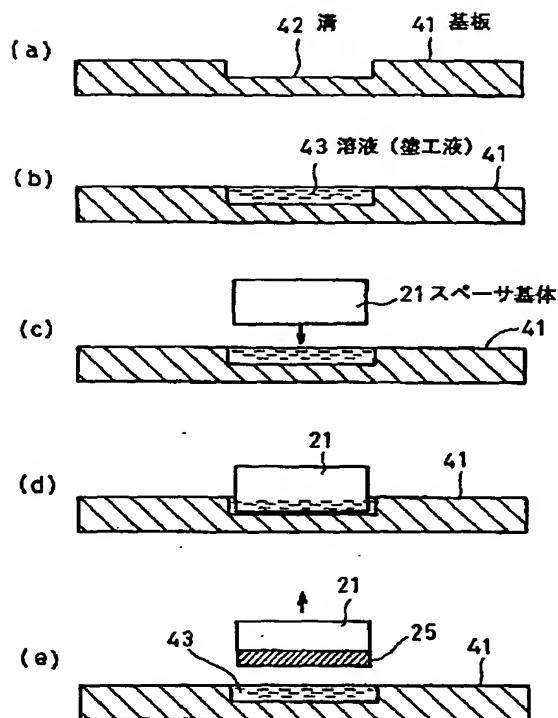
(b)



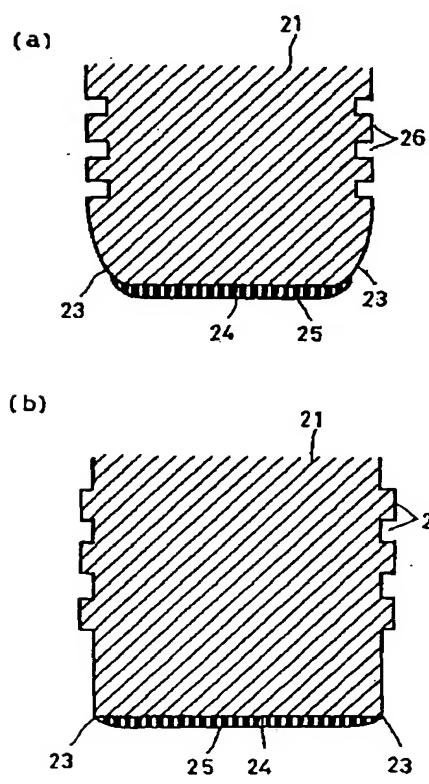
【図8】



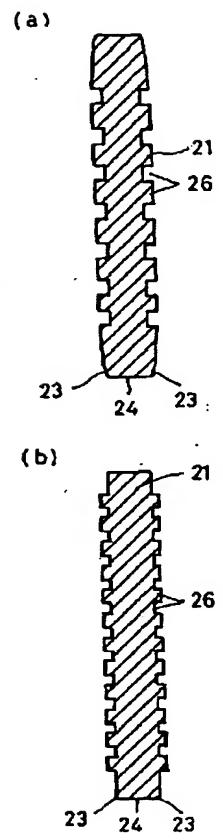
【図7】



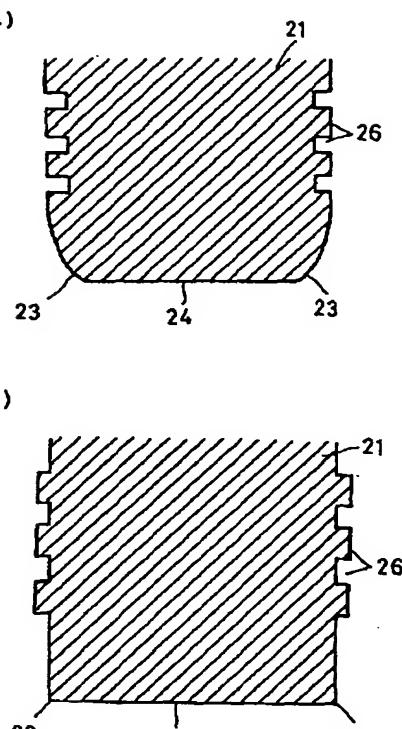
【図11】



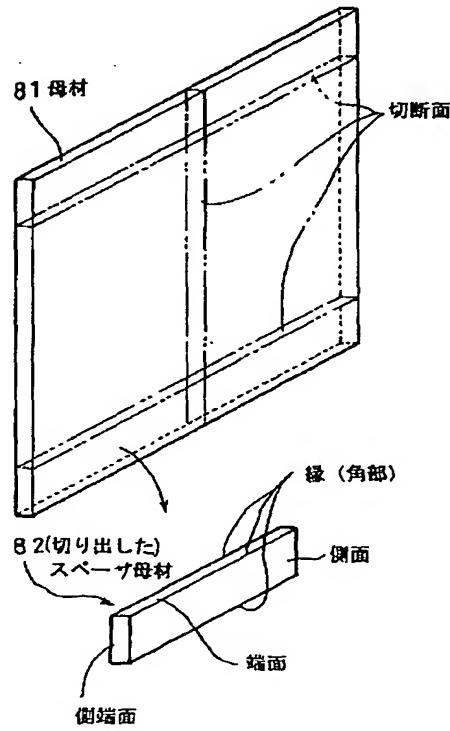
【図9】



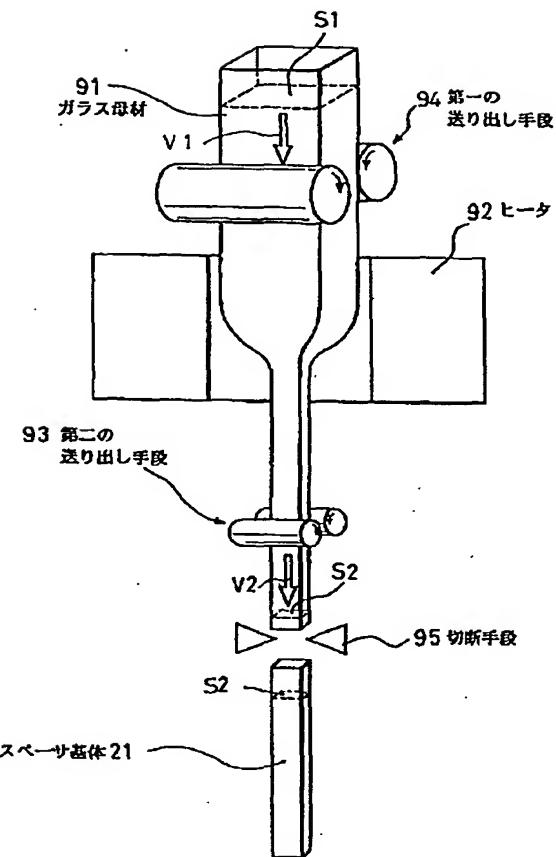
【図10】



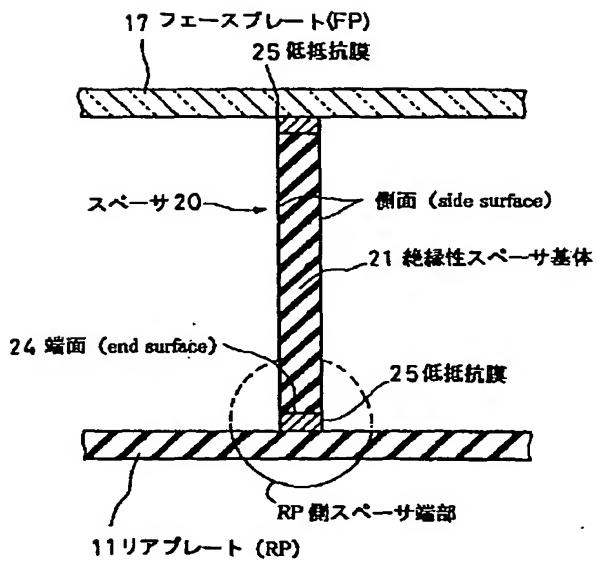
【図12】



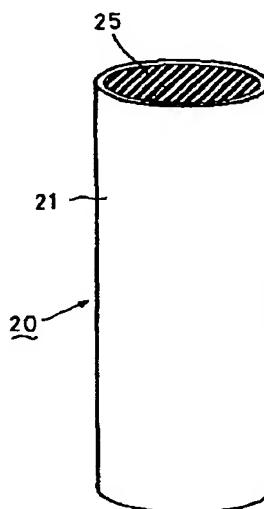
【図13】



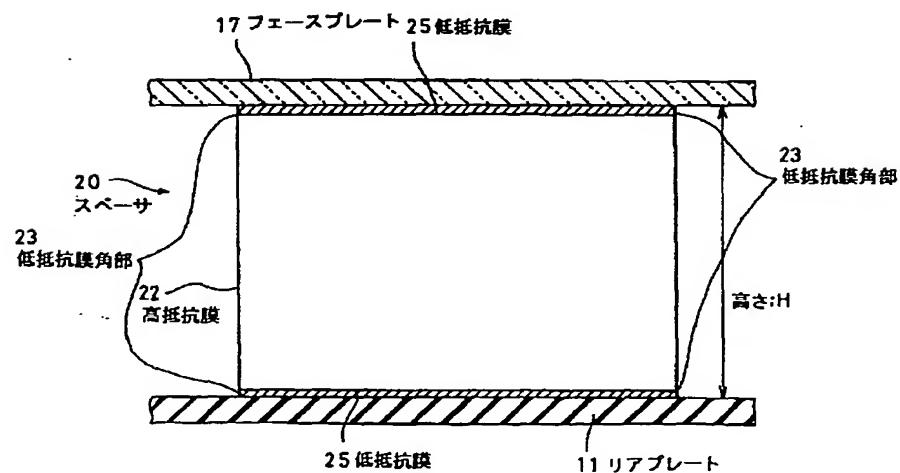
【図14】



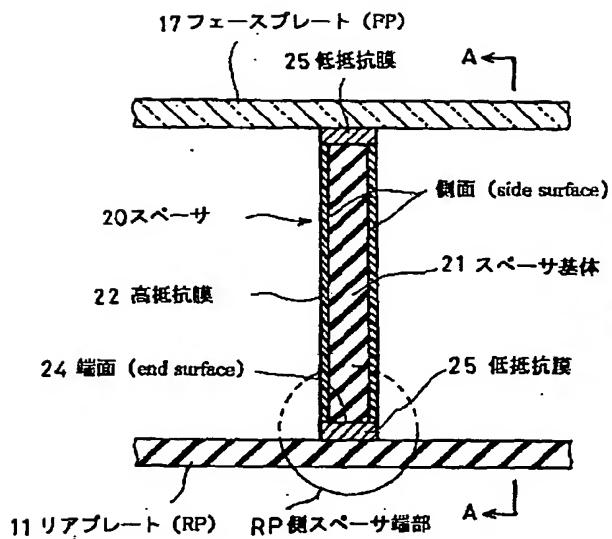
【図32】



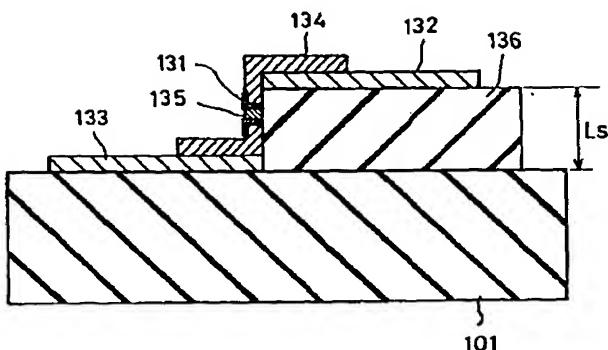
【図15】



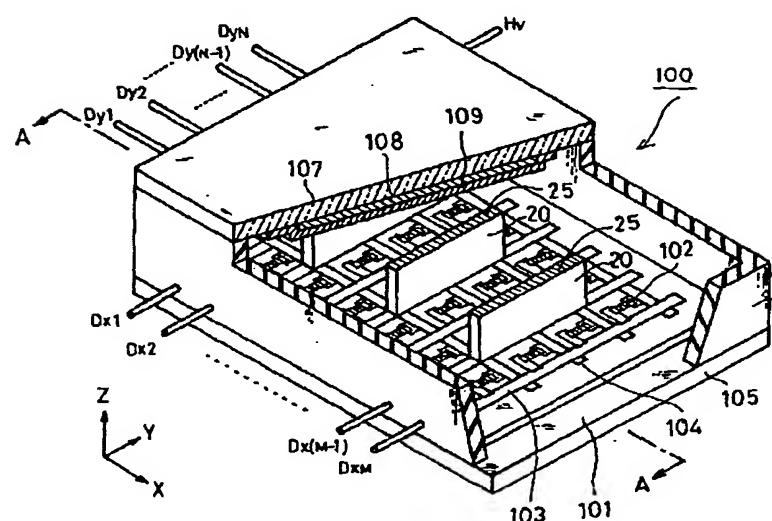
【図16】



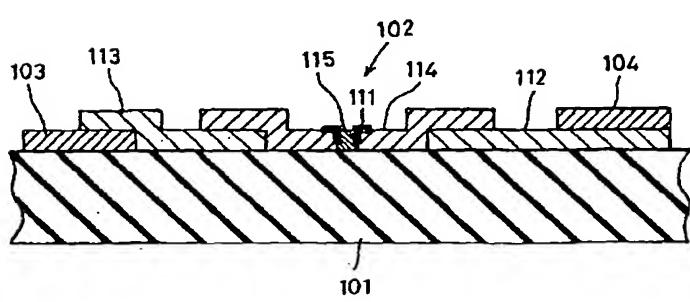
【図26】



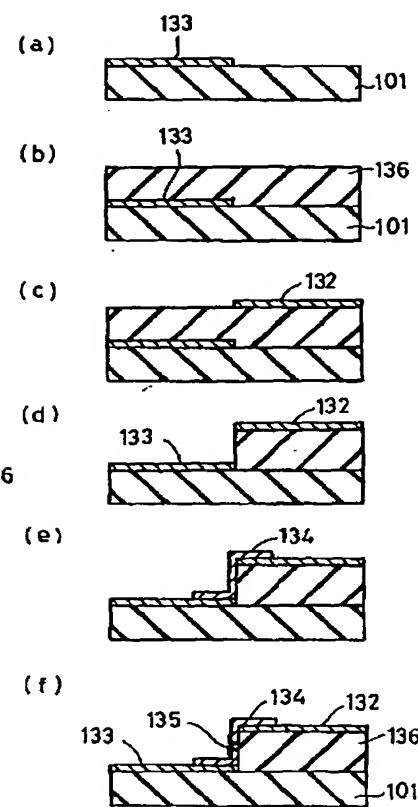
【図17】



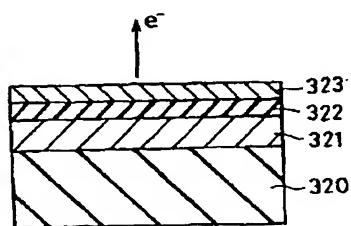
【図19】



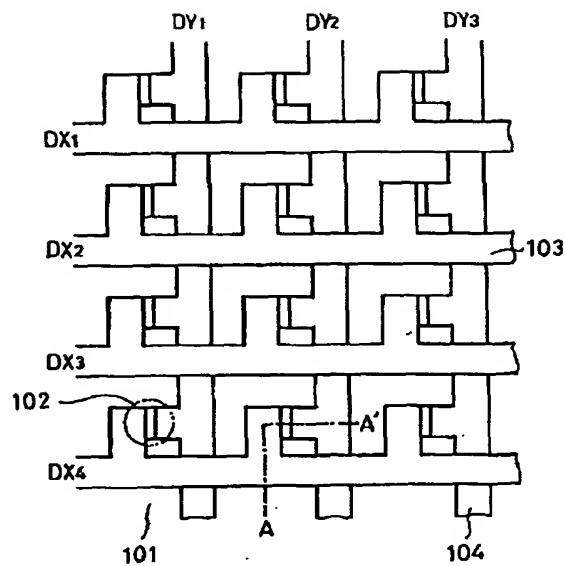
【図27】



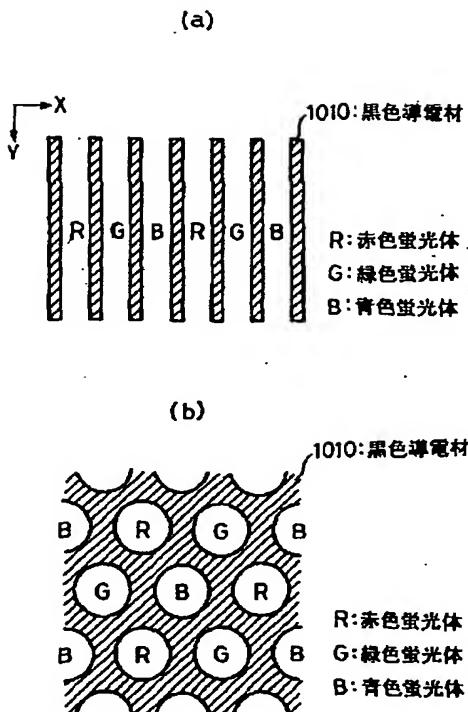
【図35】



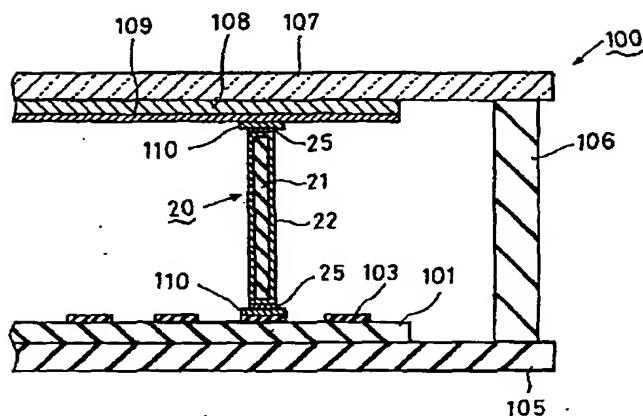
【図18】



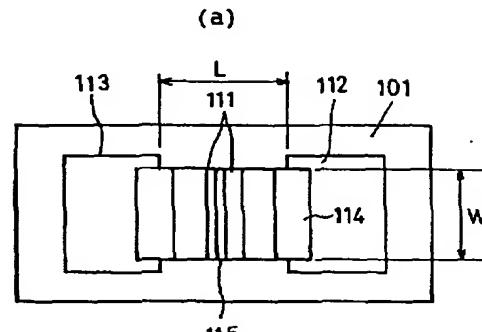
【図20】



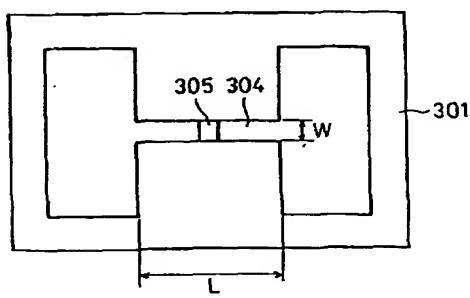
【図21】



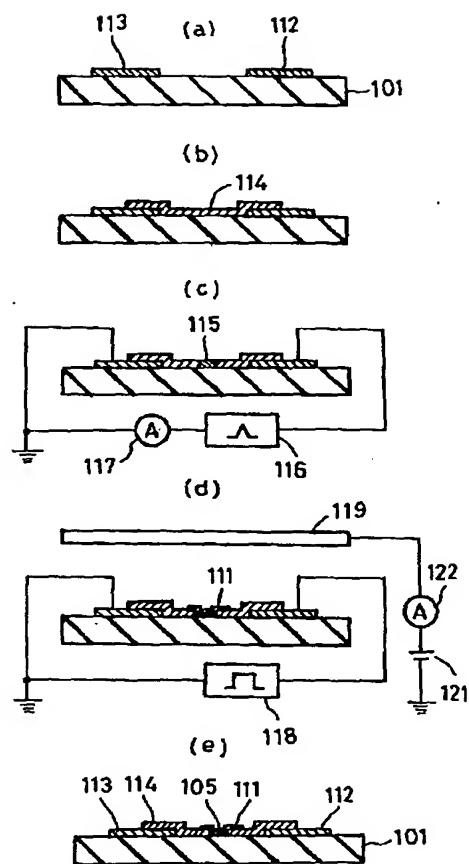
【図22】



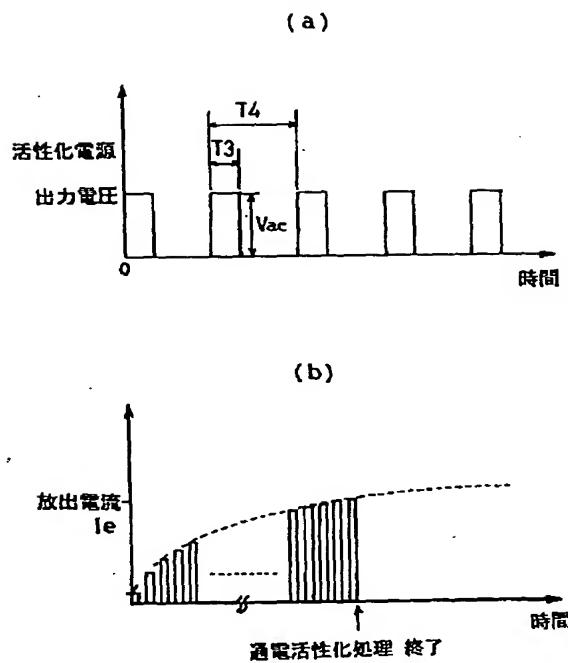
【図33】



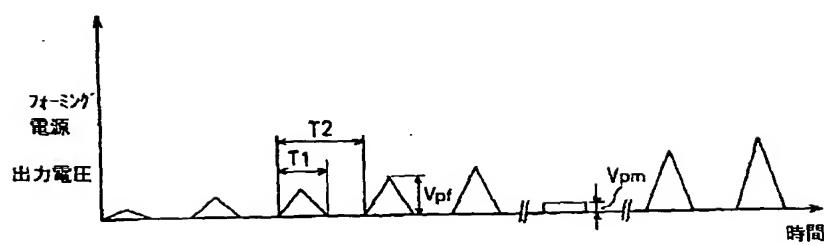
【図23】



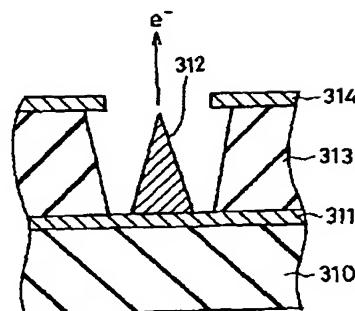
【図25】



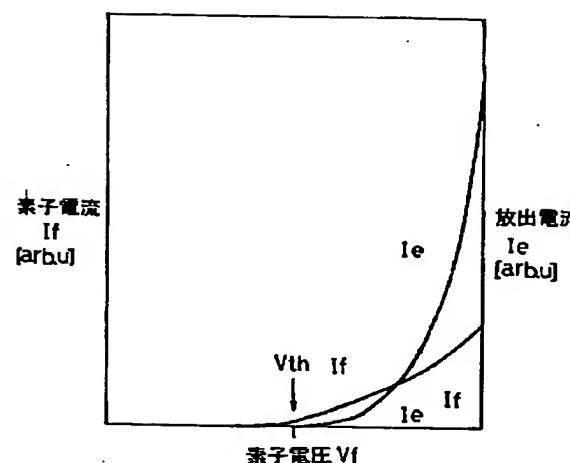
【図24】



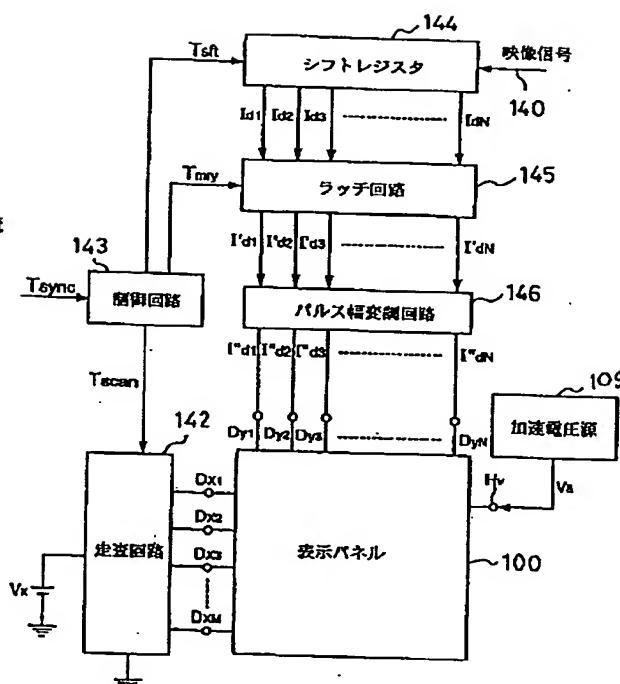
【図34】



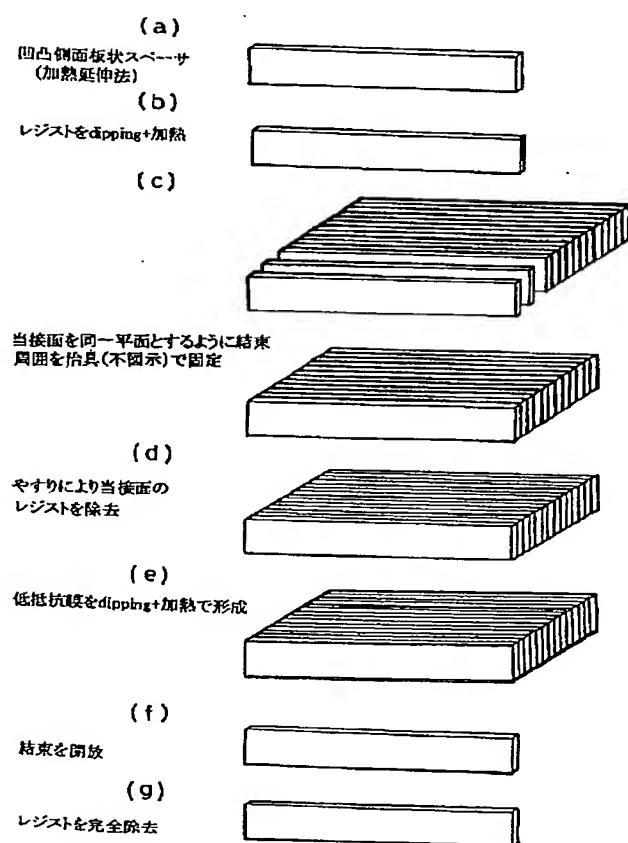
【図28】



【図29】



【図30】



【図31】

